

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037191

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H01L 21/8247

G11C 16/02

G11C 16/06

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 2001-221787

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.07.2001

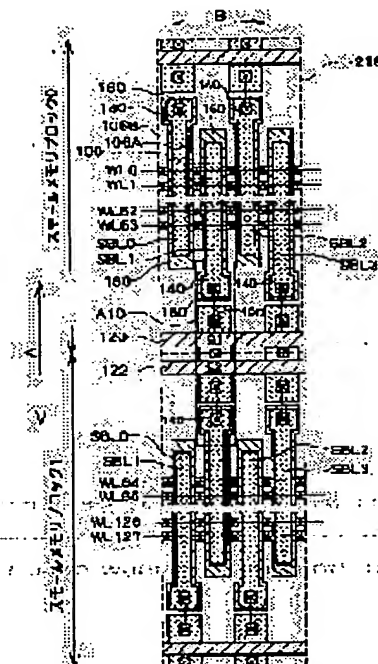
(72)Inventor : KANAI MASAHIRO

## (54) NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a non-volatile semiconductor storage device capable of fast accessing when reading/writing while avoiding the program in a selected cell or the data in the cell which is not selected at erasing from disturbed.

**SOLUTION:** The non-volatile semiconductor storage device comprises a memory cell 100 containing first and second MONOS memory cells, and a plurality of memory cell array regions. A control drive part comprises a plurality of control gate drivers. A plurality of selection switching elements 9 are provided at the common connection point between a plurality of main bit lines MBLs and a plurality of sub bit lines SBLs. The sub bit line SBL comprises a protruding part 140 at one end part. The protruding part 140 has a wide region which is wider than the sub bit line SBL in the region where the memory cells 100 are provided.



Best Available Copy

## LEGAL STATUS

[Date of request for examination]

27.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3594001

[Date of registration]

10.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The memory cell array field which comes to arrange two or more memory cells which have the one WORD gate and the 1st, 1st [ which are controlled by the 2nd control gate ], and 2nd nonvolatile memory component in the 1st and 2nd directions which carry out a phase crossover, respectively, The control gate mechanical component which drives the each and control gate of \*\* a 2nd [ 1st / said / of two or more of said memory cells in said memory cell array field / the ], It \*\*\*\* and said memory cell array field has two or more sector fields divided in said 2nd direction. Said control gate mechanical component It has two or more control gate drivers which correspond to one each of said two or more of the sector fields, respectively. Each of two or more of said sector fields It has two or more block fields which have

two or more memory cell groups in each field divided in said 1st direction, respectively. To each of two or more of said block fields Two or more sub bit lines which are connected to said two or more memory cell groups, respectively, and are prolonged in said 1st direction are formed. Cover said two or more block fields, and extension formation is carried out in said 1st direction, respectively. Two or more Maine bit lines by which common connection is made are formed in each of two or more of said sub bit lines in said two or more block fields. Each of two or more of said Maine bit lines, Two or more selection switching elements which choose connection/connectionless ones, respectively are prepared in a common connection place with each of two or more of said sub bit lines. The 1st control gate and the 2nd control gate which are connected to two memory cells which adjoin each both sides of two or more of said sub bit lines in said 2nd direction are prepared. The 1st and 2nd control gates established in each both sides of two or more of said sub bit lines Edges have the two continuation sections connected, respectively. Each of two or more of said sub bit lines It is the non-volatile semiconductor memory with which said lobe has a broad field larger than the width of face of said sub bit line in the field in which said two or more memory cell groups were prepared by having the lobe projected outside in said 1st

direction from the edge of the sub bit line with which one edge adjoins each other in said 2nd direction.

[Claim 2] It is the non-volatile semiconductor memory formed in the location where each of two or more of said selection switching elements counters with each lobe of two or more of said sub bit lines in claim 1.

[Claim 3] Said two or more selection switching elements arranged in claim 2 at each of two or more of said block fields are non-volatile semiconductor memories connected to the end of an account of odd impending sub bit line, and the other end of an account of even impending sub bit line.

[Claim 4] Said 1st [ the ] which is connected to said same Maine bit line, and adjoins each other in said 1st direction when it considers as the 1st selection switching element and another side is used as the 2nd selection switching element, while having been arranged as said two or more selection switching elements in claims 2 or 3 in said two block fields which adjoins in said 1st direction, and said 2nd selection switching element are a non-volatile semiconductor memory formed adjacently.

[Claim 5] The memory cell array field which comes to arrange two or more memory cells which have the one WORD gate and the 1st, 1st [ which are controlled by the 2nd control gate ], and 2nd nonvolatile memory component in

the 1st and 2nd directions which carry out a phase crossover, respectively, The control gate mechanical component which drives the each and control gate of \*\* a 2nd [ 1st / said / of two or more of said memory cells in said memory cell array field / the ], It \*\*\*\* and said memory cell array field has two or more sector fields divided in said 2nd direction. Said control gate mechanical component It has two or more control gate drivers which correspond to one each of said two or more of the sector fields, respectively. Each of two or more of said sector fields It has two or more block fields which have two or more memory cell groups in each field divided in said 1st direction, respectively. To each of two or more of said block fields Two or more sub bit lines which are connected to said two or more memory cell groups, respectively, and are prolonged in said 1st direction are formed. Cover said two or more block fields, and extension formation is carried out in said 1st direction, respectively. Two or more Maine bit lines by which common connection is made are formed in each of two or more of said sub bit lines in said two or more block fields. Each of two or more of said Maine bit lines, Two or more selection switching elements which choose connection/connectionless one, respectively are prepared in a common connection place with each of two or more of said sub bit lines. Said sub bit line The non-volatile semiconductor memory with

which it consists of subbit impurity layers, extended formation of said subbit impurity layer is carried out, and the source / drain impurity layer used as the source of said selection switching element or a drain are prepared.

[Claim 6] It is the non-volatile semiconductor memory with which it is prepared in the location where each of two or more of said selection switching elements counters with each edge of two or more of said sub bit lines in claim 5, and the 1st control gate and the 2nd control gate which are connected to two memory cells which adjoin each both sides of two or more of said sub bit lines in said 2nd direction are prepared.

[Claim 7] Said 1st and 2nd control gates established in each both sides of two or more of said sub bit lines in claim 6 are non-volatile semiconductor memories with which the edges of the side in which said selection switching element was prepared have the not continuous discontinuous section.

[Claim 8] Said 1st and 2nd control gates established in each both sides of two or more of said sub bit lines in claims 6 or 7 are non-volatile semiconductor memories which have the continuation section which the edges of the opposite side are made to follow the side in which said selection switching element was prepared.

[Claim 9] Said two or more selection switching elements arranged in either of claims 6-8 at each of two or more of said

block fields are non-volatile semiconductor memories connected to the end of an account of odd impending sub bit line, and the other end of an account of even impending sub bit line.

[Claim 10] Said 1st [ the ] which is connected to said same Main bit line, and adjoins each other in said 1st direction when it considers as the 1st selection switching element and another side is used as the 2nd selection switching element, while having been arranged as said two or more selection switching elements in claim 9 in said two block fields which adjoins in said 1st direction, and said 2nd selection switching element are a non-volatile semiconductor memory formed adjacently.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the non-volatile semiconductor memory which consists of memory cells equipped with two nonvolatile memory components controlled by the one WORD gate and the two control gates.

[0002]

[Background of the Invention] As a non-volatile semiconductor device, the

gate insulating layer between a channel and the gate consists of a layered product of the silicon oxide film, a silicon nitride film, and the silicon oxide film, and the MONOS

(Metal-Oxide-Nitride-Oxide-Semiconductor or Substrate) mold with which the trap of the charge is carried out to a silicon nitride film is known.

[0003] This MONOS mold non-volatile semiconductor memory is indicated by reference (Y. Hayashi, et al, 2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123). The twin MONOS flash plate memory cell which equipped this reference with two nonvolatile memory components (MONOS memory cell) controlled by the one WORD gate and the two control gates is indicated. That is, one flash plate memory cell has two trap sites of a charge. Two or more arrays of two or more twin MONOS flash plate memory cells which have such structure are made to carry out in a line writing direction and the direction of a train, respectively, and a memory cell array field is constituted.

[0004]

[Problem(s) to be Solved by the Invention] In order to drive this twin MONOS flash plate memory cell, two bit lines, one word line, and two control gate lines are required. However, even if it is the different control gate, when facing driving many memory cells, and setting it as the same potential, common

connection of these lines can be made.

[0005] Here, there are elimination of data, a program, and read-out in actuation of a flash memory. Although a program and read-out of data are carried out by coincidence in a selection cel (8 bits or 16 bits), they can usually carry out elimination of data to coincidence in the still larger range.

[0006] Here, in this kind of nonvolatile memory, DISUTABU of data has been a technical problem. DISUSUTABU of data means DISUTABU [ high potential is impressed also to the cel in a non-choosing sector field with wiring shared, and it is programmed or eliminated by the condition being repeated whenever it is a program or elimination, and / the data of a non-choosing cel ], when impressing high potential to the control gate line and bit line of a selection cel and programming or eliminating it.

[0007] In order to prevent such a situation, a selector-gate circuit is prepared, and high potential is impressed only for the control gate in the cel of a selection sector, and it can avoid impressing high potential to the control gate in the cel of a non-choosing sector.

[0008] However, in order to supply high potential to the control gate of the cel of a selection sector at the time of a program or elimination if it does in this way, and a voltage drop arises in a selector gate, it is necessary to add and supply a part for a

voltage drop. As a result, a low-battery drive is barred and it becomes nonconformance at the device asked for low-power-ization like especially a pocket device.

[0009] Then, this invention is to offer the non-volatile semiconductor memory in which rapid access is possible at the time of read-out and writing, avoiding DISUTABU [ the cel of a non-choosing sector / data ] at the time of the program in a selection cel, or elimination.

[0010] Other purposes of this invention are to offer the non-volatile semiconductor memory which can aim at improvement in the degree of integration of a memory cell, making rapid access possible at the time of read-out and writing.

[0011] Other purposes of this invention are to offer the non-volatile semiconductor device which can reduce power consumption.

[0012] [Means for Solving the Problem] (A) The 1st nonvolatile storage of this invention has the control gate mechanical component which drives each 1st [ the ] of two or more memory cells in the memory cell array field which comes to arrange two or more memory cells which have the one WORD gate and the 1st, 1st [ which are controlled by the 2nd control gate ], and 2nd nonvolatile memory component in the 1st and 2nd directions which carry out a phase crossover, respectively, and a

memory cell array field, and the 2nd control gate.

[0013] A memory cell array field has two or more sector fields divided in the 2nd direction.

[0014] A control gate mechanical component has two or more control gate drivers which correspond to one each of two or more of the sector fields, respectively.

[0015] Furthermore, each of two or more sector fields has two or more block fields which have two or more memory cell groups in each field divided in the 1st direction, respectively. Two or more sub bit lines which are connected to two or more memory cell groups, respectively, and are prolonged in the 1st direction are formed in each of two or more block fields. Two or more block fields are covered, extension formation is carried out in the 1st direction, and two or more Maine bit

lines by which common connection is made are formed in each of two or more sub bit lines in two or more block fields, respectively. Moreover, two or more selection switching elements which choose connection/connectionless ones, respectively are prepared in the common connection place of each of two or more Maine bit lines, and each of two or more sub bit lines.

[0016] The 1st control gate and the 2nd control gate which are connected to two memory cells which adjoin each both sides of two or more sub bit lines in the

2nd direction are prepared. The 1st and 2nd control gates established in each both sides of two or more sub bit lines have the two continuation sections to which edges were connected, respectively. Each of two or more sub bit lines has the lobe projected outside in the 1st direction from the edge of the sub bit line with which one edge adjoins each other in the 2nd direction. A lobe has a broad field larger than the width of face of the sub bit line in the field in which two or more memory cell groups were prepared.

[0017] According to the 1st non-volatile semiconductor memory of this invention, the following operation effectiveness can be done so.

[0018] (1) In this invention, each of two or more control gate drivers can set up independently the potential of the 1st in one corresponding sector field, and the 2nd control gate with other sector fields.

For this reason, in case it programs about the selection cel in one certain sector field, only control gate potential of the memory cell in that sector field (a selection cel and non-choosing cel) can be made into a program or elimination potential with a corresponding control gate driver. DISUTABU [ the control gate driver corresponding to it / the cel in a non-choosing sector field / data ] in other sector fields since it can be set as potentials other than a program or elimination potential And since this has the unnecessary selector-gate circuit for

impressing potential only to the control gate in the predetermined cel within a selection block, it can integrate a memory cell highly. Moreover, since the voltage drop in the selector-gate circuit is not produced, either, a low-battery drive is attained, especially it can use effectively as memory of a pocket device.

[0019] (2) Moreover, in this invention, two or more selection switching elements which choose connection/connectionless one as the common connection place of each of two or more Maine bit lines and each of two or more sub bit lines, respectively are prepared. For this reason, by the selection switching element, the selected sub bit line and its Maine bit line can be made into switch-on, and non-choosing a sub bit line and its Maine bit line MBL can be made into non-switch-on. Consequently, the wiring capacity of the bit line at the time of read-out and writing can be reduced, and access to a memory cell can be made quicker at the time of read-out and writing.

[0020] (3) Moreover, according to this invention, each lobe has a broad field larger than the width of face of the sub bit line in the field in which the memory cell group is prepared. For this reason, in a lobe, it is easy to form the contact section for pulling out a sub bit line.

[0021] (4) As for the 1st control gate and the 2nd control gate, according to this invention, edges have further the two



continuation sections which continued, respectively. Thereby, only the edge of one side of the 1st and 2nd control gates can make resistance of the control gate one half mostly compared with the case where the continuation section is not prepared.

[0022] As one mode of this invention, each of two or more selection switching elements can be prepared in each lobe of two or more sub bit lines, and the location which counters. This becomes easy to connect a selection switching element to the lobe of a sub bit line.

[0023] Two or more selection switching elements arranged as one mode of this invention at each of two or more block fields are connectable with the end of odd number Motome's sub bit line, and the other end of even number Motome's sub bit line. In this case, improvement in the degree of integration of a memory cell can

be aimed at so that it may mention later.

[0024] As two or more selection switching element as one mode of this invention, while having been arranged in two block fields which adjoin in the 1st direction, when it considers as the 1st selection switching element and another side is used as the 2nd selection switching element, the 1st and 2nd selection switching element which is connected to the same Maine bit line and adjoins each other in the 1st direction is a mode prepared adjacently. Thereby, by the 1st and 2nd selection switching element, one

impurity layer can be shared and improvement in the degree of integration of a memory cell can be aimed at. Moreover, when a selection switching element consists of a field effect transistor (for example, MOS transistor), the source/drain of the 1st selection switching element, and the source/drain of the 2nd selection switching element can be connected directly electrically. Consequently, the process (for example, process which forms a cross undershirt impurity layer) for connecting electrically between the source/drain of the 1st and 2nd selection switching element is unnecessary.

[0025] (B) The 2nd non-volatile semiconductor memory of this invention has the control gate mechanical component which drives each 1st [ the ] of two or more memory cells in the memory cell array field which comes to arrange two or more memory cells which have the one WORD gate and the 1st, 1st [ which are controlled by the 2nd control gate ], and 2nd nonvolatile memory component in the 1st and 2nd directions which carry out a phase crossover, respectively, and a memory cell array field, and the 2nd control gate.

[0026] A memory cell array field has two or more sector fields divided in the 2nd direction.

[0027] A control gate mechanical component has two or more control gate drivers which correspond to one each of

two or more of the sector fields, respectively.

[0028] Furthermore, each of two or more sector fields has two or more block fields which have two or more memory cell groups in each field divided in the 1st direction, respectively. Two or more sub bit lines which are connected to two or more memory cell groups, respectively, and are prolonged in the 1st direction are formed in each of two or more block fields. Two or more block fields are covered, extension formation is carried out in the 1st direction, and two or more Maine bit lines by which common connection is made are formed in each of two or more sub bit lines in two or more block fields, respectively. Two or more selection switching elements which choose connection/connectionless one, respectively are prepared in the common connection place of each of two or more Maine bit lines, and each of two or more sub bit lines.

[0029] The sub bit line consists of subbit impurity layers. Extended formation of the subbit impurity layer is carried out, and the source / drain impurity layer used as the source of a selection switching element or a drain are prepared.

[0030] According to the 2nd non-volatile semiconductor memory of this invention, the following operation effectiveness can be done so.

[0031] (1) The operation effectiveness (1)

of the 1st non-volatile semiconductor memory of this invention and the same operation effectiveness as (2) can be done so.

[0032] (2) The source / drain impurity layer used as the source of a selection switching element or a drain carry out extended formation of the subbit impurity layer, and is formed. That is, the source / drain impurity layer is connected with the sub bit line directly electrically. Therefore, the process (for example, process which forms a cross undershirt impurity layer in a semi-conductor substrate) for connecting electrically a sub bit line, and the source / drain impurity layer is unnecessary.

[0033] As one mode of this invention, each of two or more selection switching elements is prepared in each edge of two or more sub bit lines, and the location which counters, and the 1st control gate and the 2nd control gate which are connected to two memory cells which adjoin each both sides of two or more sub bit lines in the 2nd direction can prepare it.

[0034] The 1st and 2nd control gates established in each both sides of two or more sub bit lines as one mode of this invention can have the discontinuous section which the edges of the side in which the selection switching element was prepared are not following. Extended formation of the subbit impurity layer is carried out, and it is easy to form the

source / drain impurity layer by having the discontinuous section.

[0035] The 1st and 2nd control gates established in each both sides of two or more sub bit lines as one mode of this invention can have the continuation section which the edges of the opposite side are made to follow the side in which the selection switching element was prepared. Thereby, it can be made to flow through the 1st and 2nd control gates prepared in each both sides of two or more sub bit lines mutually.

[0036] Two or more selection switching elements arranged as one mode of this invention at each of two or more block fields are connectable with the end of odd number Motome's sub bit line, and the other end of even number Motome's sub bit line. In this case, improvement in the degree of integration of a memory cell can be aimed at so that it may mention later.

[0037] As one mode of this invention, as two or more selection switching elements, while having been arranged in two block fields which adjoin in the 1st direction, when it considers as the 1st selection switching element and another side is used as the 2nd selection switching element, the 1st and 2nd selection switching element which is connected to the same Main bit line and adjoins each other in the 1st direction can be prepared adjacently. Thereby, by the 1st and 2nd selection switching element, one impurity layer can be shared and improvement in

the degree of integration of a memory cell can be aimed at.

[0038]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0039] (Memory cell structure) Drawing 1 shows one cross section of a non-volatile semiconductor memory, and drawing 2 is the representative circuit schematic. In drawing 1, one memory cell 100 has the WORD gate 104 formed in the polycide through gate dielectric film on the P type well 102, the 1st and 2nd control gate 106A and 106B, and the 1st and 2nd memory device (MONOS memory cell) 108A and 108B.

[0040] The 1st and 2nd control gate 106A and 106B is formed in the both-sides wall of the WORD gate 104, and is electrically insulated in the WORD gate 104, respectively.

[0041] Each of the 1st and 2nd memory device 108A and 108B consists of carrying out the laminating of an oxide film (O), a nitride (N), and the oxide film (O) between the P type wells 102 equivalent to one and S of the 1st [ which is formed in the polish recon equivalent to M (metal) of MONOS ], and 2nd control gate 106A and 106B. In addition, the 1st and 2nd control gate 106A and 106B can consist of electric conduction material, such as silicide.

[0042] Thus, one memory cell 100 has the 1st and 2nd MONOS memory cell 108A

and 108B equipped with the split gate (the 1st, 2nd control gate 106A and 106B), and is sharing the one WORD gate 104 by the 1st and 2nd MONOS memory cell 108A and 108B.

[0043] The this 1st and 2nd MONOS memory cell 108A and 108B functions as a trap site of a charge, respectively. Each of the 1st and 2nd MONOS memory cell 108A and 108B can carry out the trap of the charge by the ONO film 109.

[0044] As shown in drawing 1 and drawing 2, common connection of two or more WORD gates 104 which set spacing to the line writing direction ( drawing 1 and the 2nd direction B of drawing 2 ), and were arranged is made at one word line WL formed by a polycide etc.

[0045] Moreover, the control gates 106A and 106B shown in drawing 1 extend along the direction of a train (the 1st direction A perpendicular to the space of drawing 1), and are shared by two or more memory cells 100 arranged in the direction of a train. Therefore, Signs 106A and 106B are also called a control gate line.

[0046] Here, the subcontractor trawl gate line SCG [i+1] formed in the layer [ 1st ] upper metal layer rather than the WORD gate, the control gate, and a word line is connected to control gate line 106B of the memory cell 100 of eye [i] watch [i], and control gate line 106A of the memory cell 100 of the [i+1st] watch [i+1].

[0047] The impurity layer 110 [i+1] of the

1st [ which is shared by MONOS memory cell 108B of the memory cell 100 of eye [i] watch [i] and MONOS memory cell 108A of the memory cell 100 of the [i+1st] watch [i+1] / [the i+1st] ] watch is formed in the P type well 102.

[0048] It is n mold impurity layer formed in a P type well, and it extends along the direction of a train (the 1st direction A perpendicular to the space of drawing 1 ), and these impurity layers 110 [i], [i+1], and [i+2] function as a sub bit line shared by two or more memory cells 100 arranged in the direction of a train. Therefore, a bit line BL [i], [i+1], and [i+2] call a sign 110 [i], [i+1], [i+2], etc.

[0049] (Data read-out from a memory cell) A \*\* type-izing [ one memory cell 100 / thing / the transistor T2 driven by the WORD gate 104, the 1st and the transistor T1 driven by the 2nd control gate 106A and 106B, respectively, and / which connected T3 to the serial ] as shown in drawing 2.

[0050] It faces explaining actuation of a memory cell 100, and as shown in drawing 3, a setup of the potential of every place of two adjoining memory cells 100 [i] and [i+1] is explained first. Drawing 3 is drawing explaining data read-out from MONOS memory cell 108B on the right-hand side of the WORD gate 104 of a memory cell 100 [i].

[0051] In this case, Vdd (for example, 1.8V) is impressed to each WORD gate 104 in the same line as a memory cell 100

[i], and each transistor T2 is made to turn on. Moreover, an exaggerated RAIDO electrical potential difference (for example, 3V) is impressed to control gate 106A on the left-hand side of a memory cell 100 [i] through the subcontractor trawl gate line SCG [i], and the transistor T1 which corresponds at MONOS memory cell 108A is made to turn on. As potential VCG of control gate 106B on the right-hand side of a memory cell 100 [i], the read-out electrical potential difference Vread (for example, 1.5V) is impressed.

[0052] At this time, actuation of transistor T3 which is equivalent to MONOS memory cell 108B by whether the charge was accumulated in MONOS memory cell 108B on the right-hand side of the WORD gate 104 is divided as follows.

[0053] Drawing 4 shows relation with the current Ids which flows between the source-drains of transistor T3 equivalent to the applied voltage to control gate 106B on the right-hand side of a memory cell 100 [i], and MONOS memory cell 108B controlled by it.

[0054] As shown in drawing 4, when the charge is not accumulated in MONOS memory cell 108B, if the control gate potential VCG exceeds the low threshold electrical potential difference Vlow, Current Ids will begin to flow. On the other hand, when the charge is accumulated in MONOS memory cell

108B, unless the control gate potential VCG exceeds the high threshold electrical potential difference Vhigh, Current Ids does not begin to flow.

[0055] the electrical potential difference Vread impressed to control gate 106B here at the time of data read-out -- two threshold electrical potential differences Vlow and Vhigh -- it is mostly set as intermediate voltage.

[0056] Therefore, when the charge is not accumulated in MONOS memory cell 108B, Current Ids flows, and when the charge is accumulated in MONOS memory cell 108B, Current Ids will not flow.

[0057] Here, at the time of data read-out, the potential VD [i] of the sub bit line SBL [i] (impurity layer 110 [i]) is set as the sense amplifier, and the potential VD [i+1] of the sub bit line SBL [i+1] (impurity layer 110 [i+1]) is set as 0V,

respectively. Since Current Ids will flow when the charge is not accumulated in MONOS memory device 108B (selection side) if it carries out like this, the current for example, more than 25microA flows to the bit line BL of an opposite side [i] through the transistors T1 and T2 of an ON state. On the other hand, since Current Ids does not flow when the charge is accumulated in MONOS memory device 108B (selection side), even if transistors T1 and T2 are ON states, the current which flows to the bit line BL of an opposite side [i] is set to less

than 10 nAs. Therefore, data read-out from MONOS memory device 108B (selection side) of the twin memory cell 100 [i] becomes possible by detecting the current which flows to the bit line BL of an opposite side [i] with a sense amplifier. [0058] In addition, although transistors T1 and T2 are turned on also by the memory cell 100 [i+1], control gate potential VCG of transistor T3 is set to 0V, and since potential VCG is lower than the both sides of two threshold electrical potential differences Vlow and Vhigh of drawing 3, a source-drain current does not flow by the memory cell 100 [i+1]. Therefore, the data accumulation situation in a memory cell 100 [i+1] does not have a bad influence from a memory cell 100 [i] on data read-out.

[0059] What is necessary is just to set up the potential of every place of a memory cell 100 [i-1] and [i] like the above, in

order to read data from MONOS memory cell 108A on the left-hand side of a memory cell 100 [i].

[0060] (Programming of a memory cell) Drawing 5 is drawing explaining data programming of MONOS memory cell 108B on the right-hand side of WORD GEDO 104 of a memory cell 100 [i]. In addition, data elimination actuation mentioned later is carried out before this data programming actuation.

[0061] In drawing 5, as well as drawing 3, potential of the subcontractor trawl gate line SCG [i] is made into

exaggerated RAIDO potential (for example, 2.5V), and potential of the subcontractor trawl gate line SCG [i+2] is set to 0V. The potential of each WORD gate 104 is set as the about [ 1.0V ] word line selection electrical potential difference for a program lower than supply voltage Vdd by the word line WL. Moreover, the potential of control gate 108B on the right-hand side of a memory cell 100 [i+1] is set as the write-in potential Vwrite (for example, 5.5V) shown in drawing 4 through the subcontractor trawl gate line SCG [i+1]. The potential VD [i+1] of the impurity layer 110 of the [i+1st] watch [i+1] (sub bit line SBL [i+1]) is set as 5V, and the potential VD [i] of the impurity layer 110 of eye [i] watch [i] (bit line BL [i]) is set as 0V.

[0062] If it carries out like this, while the transistors T1 and T2 of a memory cell 100 [i] will turn on respectively and Current Ids will flow towards the impurity layer 110 [i], the trap of the channel hot electron (CHE) is carried out to the ONO film 109 of MONOS memory cell 108B. In this way, programming actuation of MONOS memory cell 108B is carried out, and "0" of data or "1" is written in.

[0063] (Data elimination of a memory cell) Drawing 6 is drawing explaining data elimination of two memory cells 100 [i] and [i+1] connected to the word line WL.

[0064] In drawing 6, the potential of each WORD gate 104 is set as 0V by the word line WL, and the potential of the control gates 106A and 106B is set as about (1st high potential for elimination) 1~3V by the subcontractor trawl gate line SCG [i], [i+1], and [i+2]. Furthermore, each potential of the impurity layer (bit line) [i] 110, [i+1], and [i+2] is set as 4.5~5V (2nd high potential for elimination). [equal to P type well potential]

[0065] If it carries out like this, the electron by which the trap was carried out to the ONO film 109 of each MONOS memory cells 108A and 108B will be extracted by the tunnel effect, and will be eliminated by the electric field formed with the 1st high potential for elimination impressed to the metal (M), and the 2nd high potential for elimination impressed to silicon (S).

Thereby, data elimination is attained in

~~two or more memory cells at coincidence.~~

In addition, a hot hole may be formed by the band-band tunneling of the front face of the impurity layer which serves as a bit line as elimination actuation unlike an above-mentioned thing, and the electron currently stored may be eliminated.

[0066] (The whole non-volatile semiconductor memory configuration)  
The whole non-volatile semiconductor memory configuration constituted using the above-mentioned memory cell 100 is explained with

reference to drawing 7 (A) - drawing 7 (E).

[0067] Drawing 7 (A) is the flat-surface layout pattern of the non-volatile semiconductor memory of one chip, and the memory cell array fields 200A and 200B of the right and left which sandwiched the word line mechanical component 201 are divided into 32 sector fields 210, respectively. as the non-volatile semiconductor memory of one chip -- the 0- it has the 63rd sector field 210.

[0068] 32 sector fields 210 are what divided the memory cell array fields 200A and 200B on either side in the direction B of the 2nd (line writing direction), respectively, as shown in drawing 7 (A), and each sector field 210 has the longwise configuration which makes a longitudinal direction the direction A of the 1st (the direction of a train). The smallest unit of data elimination is the sector field 210, and package elimination of the stored data in the sector field 210 is carried out.

[0069] Each of the memory array fields 200A and 200B on either side has 4K word lines WL and 2K bit lines BL. With the gestalt of this operation here, since two MONOS memory cells 108A and 108B are connected to one bit line BL, 2K bit lines BL mean the storage capacity of 4Kbit. Since the non-volatile semiconductor memory of drawing 7 (A) has the memory array fields 200A and 200B on either side, it has the storage capacity defined by x(2K bit lines BL)

x2x2 as the whole memory (4K word lines WL). The storage capacity of each sector field 210 is 1/64 of the storage capacity of the whole memory, and has the storage capacity defined by x(4K word lines WL) (64 bit lines BL) x2.

[0070] Drawing 7 (B) shows the detail of one sector field 210 of the non-volatile semiconductor memory shown in drawing 7 (A). As shown in drawing 7 (B), each sector field 210 is divided in the 2nd direction, and has the memory block 214 I/O0 - for I/O15 (memory block corresponding to an I/O bit) for 16-bit data possible [ read/write ].

[0071] Each memory block 214 has the word line WL of 4k (4096) book, as shown in drawing 7 (B). As shown in drawing 7 (C), the sector field 210 is divided into eight large blocks 212 in the direction A of the 1st. This the large block 212 of each is divided into eight small blocks 215 in the direction A of the 1st, as shown in drawing 7 (D).

[0072] Each small block 215 has 64 word lines WL, as shown in drawing 7 (E). And each small block 215 is constituted by 16 small memory block 216 arranged along with the line writing direction.

[0073] therefore, the total (the object for redundancy is also included) of the word line WL allotted to one large block 212 -- 64x8 -- small -- it becomes [ block =512 ]. For this reason, the total of the word line WL allotted to one sector field 210 becomes [ 512(book) x8(large block)

=4096 ].

[0074] (Detail of a sector field) Drawing 8 shows the detail of the sector field 0 shown in drawing 7 (A), and CG driver.

[0075] As shown in drawing 8, in order to arrange the small memory block 216 in the 64 directions of a train in one sector field 0 and to perform 16-bit I/O, 16 small memory block 216 corresponding to 16 I/O0 - I/O15 is arranged by the line writing direction.

[0076] Common connection of the 16 subcontractor trawl gate lines SCG0 of 16 small memory block 216 arranged by the line writing direction is made at the 2nd-layer metal wiring M0 prolonged in a line writing direction. Similarly, 16 subcontractor trawl gate lines SCG2 are carried out at the metal wiring M2, and common connection of the 16 subcontractor trawl gate lines SCG3 is made for 16 subcontractor trawl gate lines SCG1 at the metal wiring M3 at the metal wiring M1, respectively.

[0077] The CG driver 300 which is the control gate mechanical component of this sector field 0 is formed. Four Maine control gate lines MCG0-MCG3 prolonged in the direction of a train from this CG driver 300 are formed, and these are formed with the 3rd-layer metal wiring.

[0078] Drawing 9 shows the relation between the phase next door \*\*\*\* sector field 0 and the sector field 1. Although, as for the sector field 0 and the sector field 1,



a word line WL is shared, the Maine control gate line MCG and the Maine bit line MBL are formed independently, respectively. In drawing 9, the CG driver 300 especially corresponding to the sector field 0 and the CG driver 301 corresponding to the sector field 1 are shown, and CG driver is prepared independently for every sector field.

[0079] Moreover, if a sector 0 is mentioned as an example, common connection of two or more subcontractor trawl gate lines SCG0 arranged every small memory block 216 is made at the Maine control gate line MCG0. The gate circuit is not arranged in the middle of each path from this Maine control gate line MCG0 to the subcontractor trawl gate line SCG0. The above thing is the same in other sector fields other than sector field 0.

[0080] (Configuration of small memory block) ~~The small memory block 216 is~~ explained concretely hereafter. Drawing 1010 is a circuit schematic diagram for explaining the memory cell group in the memory cell array field containing small memory block, and its wiring. Drawing 11 is the circuit plugging chart showing clearly the relation between the sub bit line in the memory cell array field shown in drawing 10, and the Maine bit line.

[0081] The small memory block 216 arranges four memory cells 100 in the direction of a train at 64 pieces and a line writing direction, for example. Four

subcontractor trawl gate lines SCG0-SCG3 which are sidewall-like polish recons, four sub bit lines SBL0-SBL3 which are input output lines of data, and 64 word lines WL are connected to one small memory block 216.

[0082] Here, common connection of each 2nd control gate 106B of two or more memory cells of an even number train (the 0th train or the 2nd train) and each 1st control gate 106A of two or more memory cells of an odd number train (the 1st train or the 3rd train) is made at the even control gate lines SCG0 and SCG2. Similarly, common connection of each 2nd control gate 106B of two or more memory cells of an odd number train (the 1st train or the 3rd train) and each 1st control gate 106A of two or more memory cells of an even number train (the 2nd train or the 4th train) is made at the odd subcontractor trawl gate lines SCG1 and

SCG3.

[0083] Common connection of each sub bit lines SBL0-SBL3 is made along the direction A of the 1st (the direction of a train) with elongation and two or more memory cell groups prepared in both sides. Each of two or more sub bit lines SBL0-SBL3 is connected to one each of two or more of the Maine bit lines MBL0-MBL4.

[0084] As shown in drawing 10 and drawing 11, selection switching element Q which chooses connection/connectionless one of the sub

bit line SBL and the Main bit line MBL is prepared in the connection place of the sub bit line SBL and the Main bit line MBL. Selection switching element Q is prepared in the edge of the sub bit line SBL. Based on the potential of the selection-signal line BLS, ON/OFF of selection switching element Q are done. If selection switching element Q turns on, in the selected small memory block 216, the sub bit line SBL and the Main bit line MBL will be in switch-on. Moreover, the sub bit line SBL in the non-choosing small memory block 216 will be in floating.

[0085] Each of two or more selection switching element Q is connected to the end of even number Motome's sub bit lines SBL0 and SBL2, and the other end of odd number Motome's sub bit lines SBL1 and SBL3. That is, selection switching element Q of even number Motome's sub bit line 0 and SBL2 and selection switching element Q of odd number Motome's sub bit lines SBL1 and SBL3 are mutually prepared in the edge by the side of reverse.

[0086] While having been arranged in two small memory block 216 which adjoins in the direction A of the 1st, when it considers as the 1st selection transistor Q1 and another side is used as the 2nd selection transistor Q2, the 1st and 2nd selection transistors Q1 and Q2 which adjoin each other in the direction A of the 1st connected to the same Main bit line

MBL are formed adjacently.

[0087] Hereafter, the focus of the gestalt of this operation in this term is explained.

[0088] (1) The sub bit line SBL is connected with the Main bit line MBL through the selection transistor Q. For this reason, the selected sub bit line SBL and the selected Main bit line MBL can be made into switch-on, and non-choosing the sub bit line SBL and its Main bit line MBL can be made into non-switch-on. Consequently, the wiring capacity of the bit line BL at the time of read-out and writing can be reduced, and access to a memory cell can be made quicker in the time of read-out and writing.

[0089] (2) Two or more selection switching element Q is prepared in the end of even number Motome's sub bit lines SBL0 and SBL2, and the other end of odd number Motome's sub bit lines SBL1 and SBL3. In this case, the

following operation effectiveness can be done so.

[0090] 1) The distance from one selection switching element Q to a memory cell 100 and the distance from selection switching element [of another side] Q to a memory cell 100 become equal between each memory cell 100. For this reason, the sum of resistance of the sub bit line SBL becomes equal between each bit line 100. Therefore, since the potential difference added between source-drains becomes fixed between each memory cell 100, variation in a property can be made small.

[0091] 2) Since the selection transistor Q of the odd sub bit lines SBL can be arranged to the tooth space between the even sub bit lines SBL, the large channel width of the selection transistor Q of the odd sub bit lines SBL can be taken. Moreover, the large channel width of the selection transistor Q of the even sub bit lines SBL can be taken similarly.

[0092] 3) The 1st and 2nd selection transistors Q1 and Q2 which adjoin each other in the direction A of the 1st connected to the same Main bit line MBL are formed adjacently. Thereby, the impurity layer of a selection transistor can be made to share. Consequently, improvement in the degree of integration of memory can be aimed at.

[0093] Next, the flat-surface layout of small memory block is explained. Below, two examples of the flat-surface layout of small memory block are shown.

[0094] (Flat-surface layout of the 1st small memory block) Drawing 12 is a flat-surface layout pattern in the bulk of a non-volatile semiconductor memory in drawing 10 and drawing 11. In addition, in drawing 12, a line shows typically a word line WL and the local wiring layer 190.

[0095] Each sub bit lines SBL0-SBL3 are constituted by the subbit impurity layer prepared in the semi-conductor substrate. Each of two or more sub bit lines SBL has the lobe 140 projected outside in the 1st direction A from the edge of the adjacent

sub bit line SBL. A lobe 140 has a broad field larger than the width of face of the sub bit line SBL in the field in which the group of a memory cell 100 is prepared.

[0096] In even sub bit lines SBL0 and SBL2, the lobe 140 is formed in the end of a sub bit line. In odd sub bit lines SBL1 and SBL3, the lobe 140 is formed in the other end. Moreover, lobe 140 comrades of two sub bit lines SBL which adjoin each other in the 1st direction A are prepared so that it may counter mutually.

[0097] 1st control gate 106A and 2nd control gate 106B are prepared in both the sides of each sub bit lines SBL0-SBL3. The 1st and 2nd control gates 106A and 106B established in both the sides of the sub bit line SBL have the two continuation sections 160 which edges followed, respectively.

[0098] The strap group field A10 is formed between the sub bit lines SBL

which adjoin each other in the direction A of the 1st (the direction of a train). (for example, between the sub bit line SBL1 in the small memory block 0, and the sub bit lines SBL1 in the small memory block 1).

[0099] The 1st and 2nd selection transistors Q1 and Q2 are formed in each strap group field A10. The 1st selection transistor Q1 is formed in one near lobe 140 of the strap group field A10, and the location which counters. The 2nd selection transistor Q2 is formed in the near lobe 140 of another side of the strap

group field A10, and the location which counters.

[0100] The 1st selection transistor Q1 chooses connection/connectionless one of one near sub bit line SBL of the strap group field A10, and the Main bit line MBL. The 2nd selection transistor Q2 chooses connection/connectionless one of the near sub bit line SBL of another side of the strap group field A10, and the Main bit line MBL. A field effect transistor (for example, MOS transistor) can constitute the selection transistors Q1 and Q2.

[0101] Hereafter, the strap group field A10 is explained concretely, referring to drawing 13. Drawing 13 is the top view which expanded the strap group field A10 in drawing 1212. Drawing 14 is the sectional view showing typically the cross section which met the C-C line in drawing 13. In addition, in drawing 13,

as line shows the local wiring layer 190 typically.

[0102] The strap group field A10 contains the 1st and 2nd gate electrodes 120,122, and the 1st - the 3rd impurity layer 130,132,134. The conductivity type of the 1st - the 3rd impurity layer 130,132,134 is an n mold when the sub bit line SBL consists of an n mold impurity layer.

[0103] The field of the selection transistors Q1 and Q2 in the strap group field A10 is demarcated by the component isolation region 170.

[0104] The 1st and 2nd gate electrode

120,122 is extended in the direction B of the 2nd. The 1st impurity layer 130 is formed between the 1st and 2nd gate electrodes 120,122. The 1st impurity layer 130 functions as the source or the drain of the 1st and 2nd selection transistors Q1 and Q2. The 1st impurity layer 130 is shared by the 1st selection transistor Q1 and the 2nd selection transistor Q2.

[0105] The 2nd impurity layer 132 is formed between the 1st gate electrode 120 and one sub bit line (subbit impurity layer) SBL. The 2nd impurity layer 132 functions as the source or the drain of the 1st selection transistor Q1. The 3rd impurity layer 134 is formed between the 2nd gate electrode 122 and the sub bit line (subbit impurity layer) SBL of another side. The 3rd impurity layer 134 functions as the 2nd source or drain of the selection transistor Q2.

[0106] As shown in drawing 13 and 14, the 2nd impurity layer 132 and the sub bit line SBL are electrically connected through the two contact sections 182,184 prepared in the layer insulation layer, and the local wiring layer 190 which consists of metal wiring.

[0107] Moreover, the 3rd impurity layer 134 and the sub bit line (subbit impurity layer) SBL are similarly connected electrically through the two contact sections 182,184 prepared in the layer insulation layer, and local wiring layers 190.

[0108] Hereafter, the focus and the operation effectiveness of the 1st flat-surface layout are explained.

[0109] (1) Each lobe 140 has a broad field larger than the width of face of the sub bit line SBL in the field in which the group of a memory cell 100 is prepared. For this reason, in a lobe 140, it is easy to form the contact section 184 for pulling out the sub bit line SBL.

[0110] (2) 1st control gate 106A and 2nd control gate 106B have the two continuation sections 160 which edges followed, respectively. Thereby, only the edge of one side of the 1st and 2nd control gates 106A and 106B can make resistance of the control gate one half mostly compared with the case where the continuation section is not prepared.

[0111] (3) In even sub bit lines SBL0 and SBL2, the lobe 140 is formed in the end of a sub bit line. Moreover, in odd sub bit lines SBL1 and SBL3, the lobe 140 is formed in the other end. Thereby, the degree of integration of a memory cell can be raised by the following reason.

[0112] When the sub bit line SBL of even number and odd number forms a lobe 140 in the edge of the same side, it needs to take a certain amount of margin about spacing of a lobe 140. However, according to the gestalt of this operation, with even number and odd number, since the lobe is mutually prepared in the edge by the side of reverse, it is not necessary about spacing between lobes 140 to take a

margin. For this reason, the degree of integration of a memory cell can be raised.

[0113] (Flat-surface layout of the 2nd small memory block) Drawing 15 is a flat-surface layout pattern in the bulk of a non-volatile semiconductor memory in drawing 10 and drawing 11. In addition, in drawing 15, a line shows typically the word line WL formed in the upper layer of the control gate.

[0114] Each sub bit lines SBL0-SBL3 are constituted by the subbit impurity layer prepared in the semi-conductor substrate. The 1st and 2nd control gates 106A and 106B are established in both the sides of each sub bit lines SBL0-SBL3. Unlike the 1st above-mentioned flat-surface layout, with this flat-surface layout, one edges of the 1st and 2nd control gates 106A and 106B established in both the sides of the sub bit line SBL are continuing by the continuation section 160. That is, the other end sections of the 1st and 2nd control gates 106A and 106B have the not continuous discontinuous section.

[0115] The continuation section 160 is formed in the end side about the 1st and 2nd control gates 106A and 106B established in both the sides of even number Motome's sub bit lines SBL0 and SBL2. Moreover, the continuation section 160 is formed in the other end side about the 1st and 2nd control gates 106A and 106B established in both the sides of odd number Motome's sub bit lines SBL1 and SBL3.

[0116] The strap group field A20 is formed between the sub bit lines SBL which adjoin each other in the direction A of the 1st (the direction of a train) (for example, between the sub bit line SBL1 in the small memory block 0, and the sub bit lines SBL1 in the small memory block 1). In the example of this flat-surface layout, as for the 1st and 2nd control gates 106A and 106B established in both the sides of the sub bit line SBL, the edges of the side in which the strap group field A20 was established are not continuing. In addition, the 1st and 2nd selection transistors Q1 and Q2 are formed by the strap group field A20 like the 1st flat-surface layout.

[0117] Hereafter, the strap group field A20 is explained concretely, referring to drawing 16. Drawing 16 is the top view which expanded the strap group field A20 in drawing 1515. Drawing 17 is the sectional view showing typically the cross section in alignment with D-D line in drawing 16.

[0118] In the example of this layout, the impurity layer 132,134 of the selection transistor Q carries out extended formation of the sub bit line SBL, and is formed, respectively. That is, the sub bit line SBL and the impurity layer of the selection transistor Q are connected directly electrically. Since the configuration of strap group fields A20 other than this is the same as that of the 1st flat-surface layout, detailed

explanation is omitted.

[0119] Hereafter, the focus and the operation effectiveness of the 2nd flat-surface layout are explained.

[0120] As for the 1st and 2nd control gates 106A and 106B established in both the sides of the sub bit line SBL, the edges of the 1st by the side of the selection transistor Q and the 2nd control gate 106A and 106B are not continuing. For this reason, in case the sub bit line SBL and the impurity layer of the selection transistor Q are formed, the impurity layer 132,134 of the selection transistor Q can be formed so that it may connect with the sub bit line SBL directly electrically. Therefore, the process (for example, process which forms a cross undershirt impurity layer in a semi-conductor substrate) for connecting electrically the sub bit line SBL and the impurity layer 132,134 of the selection transistor Q is unnecessary. The mask which specifies as a result, for example, the formation field of a cross undershirt impurity layer, becomes unnecessary.

[0121] Moreover, direct continuation of the sub bit line SBL and the impurity layer 132,134 of the selection transistor Q is carried out. For this reason, resistance of the bit line itself can be reduced.

[0122] (Explanation of operation) Here, each potential of the control gate line CG set up, a bit line BL, and a word line WL is shown in following Table 1 · 3 about the time of data elimination with the

non-volatile semiconductor memory of this operation gestalt, and a program.

[0123]

[Table 1]

	選択セル			
	CG	BL	WL	BLS
消去	-1~-3V	4.5~5V	0V	8V
プログラム	5.5V or 2.5V	5V	1.0V	8V

[0124]

[Table 2]

	非選択セル(選択セクタ内)			
	CG	BL	WL	BLS
消去	-	-	-	-
プログラム	5.5V or 2.5V or 0V	0V	0V	8V

[0125]

[Table 3]

	非選択セル(非選択セクタ内)			
	CG	BL	WL	BLS
消去	0V	0V	0V	8V
プログラム	0V	0V	0V or 1V	8V

[0126] In Table 1, at the time of data elimination, for example, all the inside of the sector field 0 (selection sector) serves as a selection cel, and 0V are supplied to 4096 word lines WL. Moreover, by the CG driver 300, the 1st high potential for elimination (for example, -1~-3V) is supplied to four Maine control gate lines MCG0-MCG3, and the 1st high potential for elimination can be collectively supplied to the control gates 106A and 106B of all the memory cells in the sector

field 0 (selection sector). Although the 2nd high potential for elimination (for example, 4.5~5V) is supplied to all the bit lines BL in the sector field 0 at this time, about that supply approach, it mentions later. In addition, potential (for example, 8V) is supplied to the selection-signal line BLS in a selection cel, a selection switching element turns on on it, and the sub bit line and the Maine bit line in a selection cel are connected to it. In this way, data elimination can be carried out in all the memory cells in the selected sector field 0.

[0127] At this time, as shown in Table 3, although 0V are supplied to all 4096 word lines WL, since the control gate CG and a bit line BL can supply 0V independently, for example in the sector field 1, they do not have the thing which do not choose and for which data elimination is carried out with a non-choosing sector in the sector field 0.

[0128] Next, programming actuation is explained. In one MONOS memory cell each corresponding to 16 I/O in the selected sector field 0, data programming is carried out by 16-bit coincidence, respectively. For this reason, 1V are supplied to the gap or one word line WL linked to the selection cel in the sector field 0, and other 4095 word lines WL are set as 0V. Moreover, in 16 small memory block 216 in the sector field 0, 2.5V are supplied to the control gate line SCG equivalent to SCG [i] of drawing 5, 5.5V

are supplied to the control gate line SCG equivalent to SCG [i+1] of drawing 5, and 0V are set as other control gate lines SCG. Furthermore, in the memory block 214 corresponding to each I/O0 in the sector field 0 - I/O15, 5V are supplied to one Main bit line MBL equivalent to the bit line BL of drawing 5 [i+1], and other Main bit lines MBL are set as 0V. In addition, the sub bit line SBL in a selection memory cell will be connected with the Main bit line MBL by making a selection switching element turn on based on the potential of the selection-signal line BLS.

[0129] As shown in Table 2 at this time, although a word line WL is set as 0V, in the non-choosing cel in the selected sector field 0, the high potential of 5.5V or 2.5V or 0V are impressed to the control gate line SCG. On the other hand, since the selection-signal line BLS is set as 8V and a selection transistor turns on about the sub bit line SBL in the non-choosing cel in the selected sector field 0, the sub bit line SBL is set as 0V.

[0130] On the other hand, as shown in Table 3, in the non-choosing cel in a non-choosing sector field, 0V are impressed to both the control gate line CG and the Main bit line MBL. Therefore, in a non-choosing sector field, DISUTABU produced by the same high potential as the time of a program being impressed does not arise in a non-choosing cel.

[0131] Although high potential will be impressed to the control gate of the non-choosing cel in the selected sector field 0, such high potential is impressed only when programming in the sector field 0. Therefore, if it compares with that by which high potential is impressed to the non-choosing cel in other sector fields whenever programming in any one sector field is carried out, the frequency where high potential is impressed decreases sharply and it can prevent that DISUTABU arises.

[0132] (Explanation of the example of a comparison) Drawing 18 shows the configuration of the example of a comparison. In this example of a comparison, a memory cell array field is divided in the direction of a train, and has two or more sector fields 0 and 1 and -- which make the direction of a train a longitudinal direction. Moreover, the CG driver 400,401 is shared by both the sector fields 0 and 1 in the example of a comparison, without being prepared respectively corresponding to the sector fields 0 and 1.

[0133] Here, as shown in drawing 18, corresponding to the sector field 0, the selector-gate field 403 is formed for the selector-gate field 402 corresponding to the sector field 1, respectively. The N-channel MOS transistor group arranged to the selector-gate field 402,403 chooses whether based on the potential of the selection-signal lines



CGS0 and CGS1, the potential supplied from the CG driver 400,401 is supplied to the sector fields 0 and 1.

[0134] Although it can be set as the same potential as the setting potential in this operation gestalt substantially shown in Tables 1-3 also in the example of a comparison, these can be attained by forming the selector-gate field 402,403. If the selector-gate field 402,403 does not exist, high potential will be impressed also to the non-choosing cel of the sector field 1 of not choosing at the time of programming of the selection cel in the selected sector field 0. Thus, if the high potential at the time of a program is impressed also to a non-choosing cel across a sector field, high potential will be impressed at every program at a non-choosing cel, and DISUTABU will arise.

[0135] In order to prevent generating of above DISUTABU in the example of a comparison, it is indispensable to prepare the selector-gate field for the control gate for every sector field.

[0136] Furthermore, in the example of a comparison, if the N-channel MOS transistor is used for the selector-gate field 402,403, since a voltage drop will arise there, from the CG driver 400,401, the electrical potential difference for a voltage drop will have to be added, the 1st high potential for elimination required originally will have to be supplied, and it will high-voltage-ize.

[0137] With the operation gestalt of this invention mentioned above, though DISUTABU is avoided, the selector-gate field for impressing potential to the predetermined control gate is omissible.

[0138] In addition, this invention is not limited to the gestalt of operation mentioned above, and deformation implementation various by within the limits of the summary of this invention is possible for it.

[0139] For example, about the structure of the nonvolatile memory components 108A and 108B, it is not limited to MONOS structure. This invention is applicable to the non-volatile semiconductor memory using other various memory cells which can carry out the trap of the charge independently in two places with the one WORD gate 104 and the 1st and 2nd control gate 106A and 106B.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of a memory cell used for the non-volatile semiconductor memory concerning the gestalt of 1 operation of this invention.

[Drawing 2] It is the representative circuit schematic of the memory cell shown in drawing 1.

[Drawing 3] It is an approximate account Fig. for explaining data read-out actuation with the non-volatile semiconductor memory shown in drawing 1.

[Drawing 4] It is the property Fig. showing the relation of the control gate voltage VCG in a memory cell and the source-drain current  $I_{ds}$  which are shown in drawing 1.

[Drawing 5] It is an approximate account Fig. for explaining data write-in (program) actuation with the non-volatile semiconductor memory shown in drawing 1.

[Drawing 6] It is an approximate account Fig. for explaining data elimination actuation with the non-volatile semiconductor memory shown in drawing 1.

[Drawing 7] For the flat-surface layout pattern of the whole non-volatile semiconductor memory which shows drawing 7 (A) to drawing 1, and drawing 7 (B), the top view of one sector field in drawing 7 (A) and drawing 7 (C) are [ the top view of one large block in drawing 7 (C) and drawing 7 (E) of the top view of a sector field and drawing 7 (D) ] the top views of one small block in drawing 7 (D).

[Drawing 8] It is an approximate account Fig. for explaining many memory cell groups and wiring of one sector field shown in drawing 7 (B).

[Drawing 9] It is the circuit diagram showing the relation of an adjacent sector

field.

[Drawing 10] It is a schematic diagram for explaining the memory cell group in a memory cell array field, and its wiring.

[Drawing 11] It is the plugging chart showing the relation between the sub bit line in the memory cell array field shown in drawing 10, and the Main bit line.

[Drawing 12] It is the top view having shown the 1st flat-surface layout of the memory cell array field shown in drawing 10 and drawing 11.

[Drawing 13] It is the top view which expanded the strap group field (field of A10) in drawing 12.

[Drawing 14] It is the sectional view showing typically the cross section which met the C-C line in drawing 13.

[Drawing 15] It is the top view having shown the 2nd flat-surface layout of the memory cell array field shown in drawing 10 and drawing 11.

[Drawing 16] It is the top view which expanded the strap group field (field of A10) in drawing 15.

[Drawing 17] It is the sectional view showing typically the cross section in alignment with D-D line in drawing 16.

[Drawing 18] It is the circuit which shows the configuration of the example of a comparison over drawing 9.

[Description of Notations]

100 Memory Cell

102 P Type Well

104 WORD Gate

106A, 106B Control gate (line)

108A, 108B Nonvolatile memory component (MONOS memory cell)	522 Input/output Terminal
109 ONO Film	530 Command Terminal
110 Impurity Layer (Bit Line)	532 Control Logical Circuit
120 1st Gate Electrode	534 Potential Generation Circuit
122 2nd Gate Electrode	540 Address Terminal
130 1st Impurity Layer	542 Address Buffer
132 2nd Impurity Layer	WL Word line
134 3rd Impurity Layer	BL Bit line (impurity layer)
140 Lobe	MBL Main bit line
160 Continuation Section	SBL Sub bit line
170 Component Isolation Region	SCG Subcontractor trawl gate line (the 1st layer metal wiring)
180 Layer Insulation Layer	M0-M3 The 2nd layer metal wiring
182,184 Contact section	MCG The Main control gate line (the 3rd layer metal wiring)
190 Local Wiring Layer	Q1, Q2 Selection switching element
200A, 200B Memory cell array field	
201 Word Line Mechanical Component	
210 Sector Field	
214 Memory Block	[Translation done.]
216 Small Memory Block	
300-331 CG (control gate) driver	
340-0 to 340-31 Well driver (bit line mechanical component for elimination)	
350-0 to 350-31 Sector driver	
360-0 to 360-31 Y pass circuit	
370-0 to 370-31 Sector selection circuitry	
400,401 CG (control gate) driver	
402,403 Selector-gate field	
500 IC Chip	
502,504 Array block	
506 CG Decoder	
508 X PURIDE Coder	
510,512 WL (word line) driver	
514 Y Decoder	
516,518 A sense amplifier / BL driver	
520 Data in / Out Buffer	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-37191

(P2003-37191A)

(43) 公開日 平成15年2月7日(2003.2.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード(参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

5 B 0 2 5

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 F

5 F 0 8 3

16/06

6 3 4 Z

5 F 1 0 1

H 0 1 L 27/115

H 0 1 L 29/78

3 7 1

29/788

審査請求 有 請求項の数10 OL (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-221787(P2001-221787)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成13年7月23日(2001.7.23)

(72) 発明者 金井 正博

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

Fターム(参考) 5B025 AA07 AB03 AC03 AD04 AD08

AE00 AE05 AE06

5F083 EP18 EP36 ER22 ER23 ER30

GA06 GA09 KA06 LA12 LA16

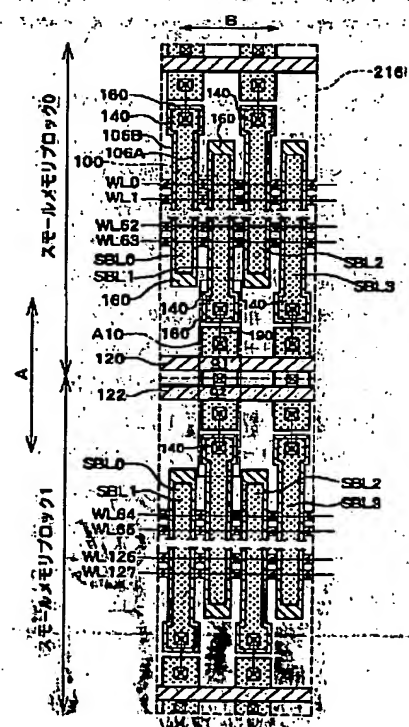
5F101 BA45 BB03 BD36 BE05 BE07

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 選択セルでのプログラム又は消去時に非選択セクタのセルにてデータがディスタートされることを回避しながら、読み出し・書き込み時に高速アクセス可能な不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、第1、第2のMONOSメモリセルを有するメモリセルを100、複数配列してなるメモリセルアレイ領域を有する。コントロール駆動部は、複数のコントロールゲートドライバを有する。また、複数のメインビット線MBLの各々と、複数のサブビット線SBLの各々との共通接続箇所、に、複数の選択スイッチング素子Qが設けられている。サブビット線SBLは、一方の端部に突出部140を有する。突出部140は、メモリセル100の群が設けられた領域におけるサブビット線SBLの幅よりも広い幅広領域を有する。



(2)

## 【特許請求の範囲】

【請求項1】 1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、

前記メモリセルアレイ領域内の前記複数のメモリセルの各々の前記第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、

を有し、

前記メモリセルアレイ領域は、前記第2の方向で分割された複数のセクタ領域を有し、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各一つにそれぞれ対応する複数のコントロールゲートドライバを有し、

前記複数のセクタ領域の各々は、前記第1の方向で分割された各領域内にてそれぞれ複数のメモリセル群を有する複数のブロック領域を有し、

前記複数のブロック領域の各々には、前記複数のメモリセル群にそれぞれ接続されて前記第1の方向に延びる複数のサブビット線が設けられ、

前記複数のブロック領域に亘ってそれぞれ前記第1の方向に延在形成され、前記複数のブロック領域内の前記複数のサブビット線の各々に共通接続される複数のメインビット線が設けられ、

前記複数のメインビット線の各々と、前記複数のサブビット線の各々との共通接続箇所に、接続／非接続をそれぞれ選択する複数の選択スイッチング素子が設けられ、前記複数のサブビット線の各々の両側に、前記第2の方向で隣接する2つのメモリセルに接続される第1のコントロールゲートおよび第2のコントロールゲートが設けられ、

前記複数のサブビット線の各々の両側に設けられた第1および第2のコントロールゲートは、端部同士がそれぞれ接続された2つの連続部を有し、

前記複数のサブビット線の各々は、一方の端部が、前記第2の方向で隣り合うサブビット線の端部より前記第1方向で外側に突出した突出部を有し、

前記突出部は、前記複数のメモリセル群が設けられた領域における前記サブビット線の幅よりも広い幅広領域を有する、不揮発性半導体記憶装置。

【請求項2】 請求項1において、

前記複数の選択スイッチング素子の各々は、前記複数のサブビット線の各々の突出部と対向する位置に設けられている、不揮発性半導体記憶装置。

【請求項3】 請求項2において、

前記複数のブロック領域の各々に配置される前記複数の選択スイッチング素子は、奇数本目の前記サブビット線の一端と、偶数本目の前記サブビット線他端とに接続されている、不揮発性半導体記憶装置。

2

【請求項4】 請求項2または3において、

前記複数の選択スイッチング素子として、前記第1の方向で隣接する2つの前記ブロック領域内に配置される一方を第1選択スイッチング素子とし、他方を第2選択スイッチング素子としたとき、同一の前記メインビット線に接続されて前記第1の方向で隣り合う前記第1および前記第2選択スイッチング素子は、隣接して設けられている、不揮発性半導体記憶装置。

【請求項5】 1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、

前記メモリセルアレイ領域内の前記複数のメモリセルの各々の前記第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、

を有し、

前記メモリセルアレイ領域は、前記第2の方向で分割された複数のセクタ領域を有し、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各一つにそれぞれ対応する複数のコントロールゲートドライバを有し、

前記複数のセクタ領域の各々は、前記第1の方向で分割された各領域内にてそれぞれ複数のメモリセル群を有する複数のブロック領域を有し、

前記複数のブロック領域の各々には、前記複数のメモリセル群にそれぞれ接続されて前記第1の方向に延びる複数のサブビット線が設けられ、

前記複数のブロック領域に亘ってそれぞれ前記第1の方向に延在形成され、前記複数のブロック領域内の前記複数のサブビット線の各々に共通接続される複数のメインビット線が設けられ、

前記複数のメインビット線の各々と、前記複数のサブビット線の各々との共通接続箇所に、接続／非接続をそれぞれ選択する複数の選択スイッチング素子が設けられ、前記サブビット線は、サブビット不純物層から構成され、

前記サブビット不純物層を延長形成させて、前記選択スイッチング素子のソースまたはドレインとなるソース／ドレイン不純物層が設けられている、不揮発性半導体記憶装置。

【請求項6】 請求項5において、

前記複数の選択スイッチング素子の各々は、前記複数のサブビット線の各々の端部と対向する位置に設けられ、前記複数のサブビット線の各々の両側に、前記第2の方向で隣接する2つのメモリセルに接続される第1のコントロールゲートおよび第2のコントロールゲートが設けられている、不揮発性半導体記憶装置。

【請求項7】 請求項6において、

前記複数のサブビット線の各々の両側に設けられた前記

(3)

3

第1および第2のコントロールゲートは、前記選択スイッチング素子が設けられた側の端部同士が、連続していない非連続部を有する、不揮発性半導体記憶装置。

【請求項8】 請求項6または7において、

前記複数のサブビット線の各々の両側に設けられた前記第1および第2のコントロールゲートは、前記選択スイッチング素子が設けられた側と反対側の端部同士を連続させる連続部を有する、不揮発性半導体記憶装置。

【請求項9】 請求項6～8のいずれかにおいて、

前記複数のブロック領域の各々に配置される前記複数の選択スイッチング素子は、奇数本目の前記サブビット線の一端と、偶数本目の前記サブビット線他端とに接続されている、不揮発性半導体記憶装置。

【請求項10】 請求項9において、

前記複数の選択スイッチング素子として、前記第1の方向で隣接する2つの前記ブロック領域内に配置される一方を第1選択スイッチング素子とし、他方を第2選択スイッチング素子としたとき、同一の前記メインビット線に接続されて前記第1の方向で隣り合う前記第1および前記第2選択スイッチング素子は、隣接して設けられて

いる、不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子を備えたメモリセルにて構成される不揮発性半導体記憶装置に関する。

【0002】

【背景技術】不揮発性半導体装置として、チャンネルとゲートとの間のゲート絶縁層が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-Substrate)型が知られている。

【0003】このMONOS型不揮発性半導体記憶装置は、文献 (Y. Hayashi, et al, 2000 Symposium on VLSI Technology, Digest of Technical Papers, p. 122-p. 123) に開示されている。この文献には、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子 (MONOSメモリセル) を備えたツインMONOSフラッシュメモリセルが開示されている。すなわち、1つのフラッシュメモリセルが、電荷のトラップサイトを2つ有している。このような構造を有する複数のツインMONOSフラッシュメモリセルを行方向及び列方向にそれぞれ複数配列させて、メモリセルアレイ領域が構成される。

【0004】

【発明が解決しようとする課題】このツインMONOSフラッシュメモリセルを駆動するには、2本のビット線と、1本のワード線と、2本のコントロールゲート線と

4

を要する。ただし、多数のメモリセルを駆動するに際して、異なるコントロールゲートであっても同じ電位に設定する場合には、これらの線を共通接続することができる。

【0005】ここで、フラッシュメモリの動作には、データの消去、プログラム及び読み出しがある。データのプログラム及び読み出しは、通常、8ビットまたは16ビットの選択セルにて同時に実施されるが、データの消去はさらに広い範囲で同時に実施できる。

【0006】ここで、この種の不揮発性メモリでは、データのディスタ urb が課題となっている。データのディスタ urb とは、選択セルのコントロールゲート線及びビット線に高電位を印加してプログラム又は消去するときに、共用される配線によって非選択セクタ領域内のセルにも高電位が印加され、プログラム又は消去の度にその状態が繰り返されることでプログラム又は消去されて、非選択セルのデータがディスタ urb されることを言う。

【0007】このような事態を防止するには、選択ゲート回路を設けて、選択セクタのセルにおけるコントロールゲートのみ高電位が印加され、非選択セクタのセルにおけるコントロールゲートには高電位が印加されないようにすることができる。

【0008】しかし、このようにすると、選択ゲートにて電圧降下が生ずると、プログラム又は消去時に選択セクタのセルのコントロールゲートに高電位を供給するために、電圧降下分を上乗せして供給する必要がある。結果的に、低電圧駆動が妨げられ、特に携帯機器のように低消費電力化が求められる機器には不適合となる。

【0009】そこで、本発明は、選択セルでのプログラム又は消去時に非選択セクタのセルにてデータがディスタ urb されることを回避しながら、読み出し・書き込み時に高速アクセス可能な不揮発性半導体記憶装置を提供することにある。

【0010】本発明の他の目的は、読み出し・書き込み時に高速アクセスを可能にしながら、メモリセルの集積度の向上を図ることができる、不揮発性半導体記憶装置を提供することにある。

【0011】本発明の他の目的は、消費電力を低減することができる不揮発性半導体装置を提供することにある。

【0012】

【課題を解決するための手段】 (A) 本発明の第1の不揮発性記憶装置は、1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、メモリセルアレイ領域内の複数のメモリセルの各々の第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、を有する。

(4)

5

【0013】メモリアルレイ領域は、第2の方向で分割された複数のセクタ領域を有する。

【0014】コントロールゲート駆動部は、複数のセクタ領域の各一つにそれぞれ対応する複数のコントロールゲートドライバを有する。

【0015】さらに、複数のセクタ領域の各々は、第1の方向で分割された各領域内にてそれぞれ複数のメモリアルセル群を有する複数のブロック領域を有する。複数のブロック領域の各々には、複数のメモリアルセル群にそれぞれ接続されて第1の方向に延びる複数のサブビット線が設けられている。複数のブロック領域に亘ってそれぞれ第1の方向に延在形成され、複数のブロック領域内の複数のサブビット線の各々に共通接続される複数のメインビット線が設けられている。また、複数のメインビット線の各々と、複数のサブビット線の各々との共通接続箇所に、接続／非接続をそれぞれ選択する複数の選択スイッチング素子が設けられている。

【0016】複数のサブビット線の各々の両側に、第2の方向で隣接する2つのメモリアルセルに接続される第1のコントロールゲートおよび第2のコントロールゲートが設けられている。複数のサブビット線の各々の両側に設けられた第1および第2のコントロールゲートは、端部同士がそれぞれ接続された2つの連続部を有する。複数のサブビット線の各々は、一方の端部が、第2の方向で隣り合うサブビット線の端部より第1方向で外側に突出した突出部を有する。突出部は、複数のメモリアルセル群が設けられた領域におけるサブビット線の幅よりも広い幅広領域を有する。

【0017】本発明の第1の不揮発性半導体記憶装置によれば、次の作用効果を奏することができる。

【0018】(1) 本発明においては、複数のコントロールゲートドライバの各々は、対応する一つのセクタ領域内の第1、第2のコントロールゲートの電位を、他のセクタ領域とは独立して設定可能である。このため、ある一つのセクタ領域内の選択セルについてプログラムする際には、そのセクタ領域内のメモリアルセル（選択セル及び非選択セル）のコントロールゲート電位のみを、対応するコントロールゲートドライバによってプログラム又は消去電位とすることができる。他のセクタ領域内では、それに対応するコントロールゲートドライバによって、プログラム又は消去電位以外の電位に設定できるので、非選択のセクタ領域内のセルにてデータがディスタブされることのない。しかもこのことは、選択ブロック内の所定のセルにおけるコントロールゲートにのみ電位を印加するための選択ゲート回路が不要なため、メモリアルセルを高集積化することができる。また、その選択ゲート回路での電圧降下も生じないため、低電圧駆動が可能となり、特に携帯機器のメモリとして有効に利用することができる。

【0019】(2) また、本発明においては、複数のメ

6

インビット線の各々と、複数のサブビット線の各々との共通接続箇所に、接続／非接続をそれぞれ選択する複数の選択スイッチング素子が設けられている。このため、選択スイッチング素子によって、選択されたサブビット線とそのメインビット線とを導通状態にさせ、非選択のサブビット線とそのメインビット線MBLとを非導通状態にすることができる。その結果、読み出し・書き込み時のビット線の配線容量を減らすことができ、読み出し・書き込み時にメモリアルセルに対するアクセスをより速くすることができる。

【0020】(3) また、本発明によれば、各突出部は、メモリアルセル群が設けられている領域におけるサブビット線の幅よりも広い幅広領域を有する。このため、突出部において、サブビット線を引き出すためのコンタクト部を形成し易い。

【0021】(4) さらに、本発明によれば、第1のコントロールゲートと第2のコントロールゲートとは、端部同士がそれぞれ連続した2つの連続部を有している。これにより、第1および第2のコントロールゲートの片側の端部のみしか連続部を設けていない場合に比べて、コントロールゲートの抵抗をほぼ半分にすることができる。

【0022】本発明の一態様として、複数の選択スイッチング素子の各々は、複数のサブビット線の各々の突出部と対向する位置に設けることができる。これにより、サブビット線の突出部に、選択スイッチング素子を接続し易くなる。

【0023】本発明の一態様として、複数のブロック領域の各々に配置される複数の選択スイッチング素子は、奇数本目のサブビット線の一端と、偶数本目のサブビット線他端とに接続されていることができる。この場合、後述するように、メモリアルセルの集積度の向上を図ることができる。

【0024】本発明の一態様として、複数の選択スイッチング素子として、第1の方向で隣接する2つのブロック領域内に配置される一方を第1選択スイッチング素子とし、他方を第2選択スイッチング素子としたとき、同一のメインビット線に接続されて第1の方向で隣り合う第1および第2選択スイッチング素子は、隣接して設けられている態様である。これにより、第1および第2選択スイッチング素子で、一つの不純物層を共用することができ、メモリアルセルの集積度の向上を図ることができる。また、選択スイッチング素子が電界効果型トランジスタ（たとえばMOSトランジスタ）からなる場合には、第1選択スイッチング素子のソース／ドレインと第2選択スイッチング素子のソース／ドレインとを直接電氣的に接続することができる。その結果、第1および第2選択スイッチング素子のソース／ドレイン間を電氣的に接続するための工程（たとえばクロスアンダ不純物層を形成する工程）が不要である。



(5)

7

【0025】(B) 本発明の第2の不揮発性半導体記憶装置は、1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、メモリセルアレイ領域内の複数のメモリセルの各々の第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、を有する。

【0026】メモリセルアレイ領域は、第2の方向で分割された複数のセクタ領域を有する。

【0027】コントロールゲート駆動部は、複数のセクタ領域の各一つにそれぞれ対応する複数のコントロールゲートドライバを有する。

【0028】さらに、複数のセクタ領域の各々は、第1の方向で分割された各領域内にてそれぞれ複数のメモリセル群を有する複数のブロック領域を有する。複数のブロック領域の各々には、複数のメモリセル群にそれぞれ接続されて第1の方向に延びる複数のサブビット線が設けられている。複数のブロック領域に亘ってそれぞれ第1の方向に延在形成され、複数のブロック領域内の複数のサブビット線の各々に共通接続される複数のメインビット線が設けられている。複数のメインビット線の各々と、複数のサブビット線の各々の共通接続箇所に、接続/非接続をそれぞれ選択する複数の選択スイッチング素子が設けられている。

【0029】サブビット線は、サブビット不純物層から構成されている。サブビット不純物層を延長形成させて、選択スイッチング素子のソースまたはドレインとな

るソース/ドレイン不純物層が設けられている。

【0030】本発明の第2の不揮発性半導体記憶装置によれば、次の作用効果を奏することができる。

【0031】(1) 本発明の第1の不揮発性半導体記憶装置の作用効果(1)および(2)と同様の作用効果を奏することができる。

【0032】(2) 選択スイッチング素子のソースまたはドレインとなるソース/ドレイン不純物層は、サブビット不純物層を延長形成させて形成されている。すなわち、ソース/ドレイン不純物層は、サブビット線と、直接電氣的に接続されている。したがって、サブビット線と、ソース/ドレイン不純物層とを電氣的に接続するための工程(たとえば半導体基板にクロスアンダ不純物層を形成する工程)が不要である。

【0033】本発明の一態様として、複数の選択スイッチング素子の各々は、複数のサブビット線の各々の端部と対向する位置に設けられ、複数のサブビット線の各々の両側に、第2の方向で隣接する2つのメモリセルに接続される第1のコントロールゲートおよび第2のコントロールゲートが設けることができる。

【0034】本発明の一態様として、複数のサブビット線の各々の両側に設けられた第1および第2のコント

8

ールゲートは、選択スイッチング素子が設けられた側の端部同士が、連続していない非連続部を有することができる。非連続部を有することにより、サブビット不純物層を延長形成させて、ソース/ドレイン不純物層を形成し易い。

【0035】本発明の一態様として、複数のサブビット線の各々の両側に設けられた第1および第2のコントロールゲートは、選択スイッチング素子が設けられた側と反対側の端部同士を連続させる連続部を有することができる。これにより、複数のサブビット線の各々の両側に設けられた第1および第2のコントロールゲート同士を、相互に導通させることができる。

【0036】本発明の一態様として、複数のブロック領域の各々に配置される複数の選択スイッチング素子は、奇数本目のサブビット線の一端と、偶数本目のサブビット線他端とに接続されることができる。この場合、後述するように、メモリセルの集積度の向上を図ることができる。

【0037】本発明の一態様として、複数の選択スイッチング素子として、第1の方向で隣接する2つのブロック領域内に配置される一方を第1選択スイッチング素子とし、他方を第2選択スイッチング素子としたとき、同一のメインビット線に接続されて第1の方向で隣り合う第1および第2選択スイッチング素子は、隣接して設けられることができる。これにより、第1および第2選択スイッチング素子で、一つの不純物層を共用することができ、メモリセルの集積度の向上を図ることができる。

【0038】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0039】(メモリセル構造) 図1は不揮発性半導体記憶装置の一断面を示し、図2はその等価回路図である。図1において、1つのメモリセル100は、P型ウェル102上にゲート絶縁膜を介して例えばポリサイドにて形成されたワードゲート104と、第1、第2のコントロールゲート106A、106Bと、第1、第2のメモリ素子(MONOSメモリセル)108A、108Bとを有する。

【0040】第1、第2のコントロールゲート106A、106Bは、ワードゲート104の両側壁に形成され、ワードゲート104とはそれぞれ電氣的に絶縁されている。

【0041】第1、第2のメモリ素子108A、108Bの各々は、MONOSのM(金属)に相当するポリシリコンにて形成される第1、第2のコントロールゲート106A、106Bの一つと、Sに相当するP型ウェル102との間に、酸化膜(O)、窒化膜(N)及び酸化膜(O)を積層することによって構成される。なお、第1、第2のコントロールゲート106A、106Bは、シリサイドなどの導電材で構成することができる。



(6)

9

【0042】このように、1つのメモリセル100は、スプリットゲート（第1、第2のコントロールゲート106A、106B）を備えた第1、第2のMONOSメモリセル108A、108Bを有し、第1、第2のMONOSメモリセル108A、108Bにて一つのワードゲート104を共用している。

【0043】この第1、第2のMONOSメモリセル108A、108Bは、それぞれ電荷のトラップサイトとして機能する。第1、第2のMONOSメモリセル108A、108Bの各々は、ONO膜109にて電荷をトラップすることが可能である。

【0044】図1及び図2に示すように、行方向（図1及び図2の第2の方向B）に間隔をおいて配列された複数のワードゲート104は、ポリサイドなどで形成される1本のワード線WLに共通接続されている。

【0045】また、図1に示すコントロールゲート106A、106Bは、列方向（図1の紙面に垂直な第1の方向A）に沿って延び、列方向に配列される複数のメモリセル100にて共用される。よって、符号106A、106Bをコントロールゲート線とも称する。

【0046】ここで、[i]番目のメモリセル100 [i]のコントロールゲート線106Bと、[i+1]番目のメモリセル100 [i+1]のコントロールゲート線106Aとは、例えばワードゲート、コントロールゲート、ワード線よりも上層の第1層の金属層で形成されるサブコントロールゲート線SCG [i+1]が接続されている。

【0047】P型ウェル102には、[i]番目のメモリセル100 [i]のMONOSメモリセル108Bと、[i+1]番目のメモリセル100 [i+1]のMONOSメモリセル108Aとに共用される [i+1]番目の不純物層110 [i+1]が設けられている。

【0048】これらの不純物層110 [i]、[i+1]、[i+2]は例えばP型ウェル内に形成されるn型不純物層で、列方向（図1の紙面に垂直な第1の方向A）に沿って延び、列方向に配列される複数のメモリセル100にて共用されるサブビット線として機能する。よって、符号110 [i]、[i+1]、[i+2]などをビット線BL [i]、[i+1]、[i+2]とも称する。

【0049】（メモリセルからのデータ読み出し）一つのメモリセル100は、図2に示すように、ワードゲート104により駆動されるトランジスタT2と、第1、第2のコントロールゲート106A、106Bによりそれぞれ駆動されるトランジスタT1、T3とを直列に接続したものと模式化することができる。

【0050】メモリセル100の動作を説明するに際して、図3に示すように、隣接する2つのメモリセル100 [i]、[i+1]の各所の電位の設定についてまず説明する。図3は、メモリセル100 [i]のワードゲ

10

ート104の右側のMONOSメモリセル108Bからのデータ読み出しについて説明する図である。

【0051】この場合、メモリセル100 [i]と同じ行にある各ワードゲート104にV<sub>dd</sub>（例えば1.8V）を印加して、各トランジスタT2をオンさせる。また、メモリセル100 [i]の左側のコントロールゲート106Aに、サブコントロールゲート線SCG [i]を介してオーバーライド電圧（例えば3V）を印加して、MONOSメモリセル108Aに相当するトランジスタT1をオンさせる。メモリセル100 [i]の右側のコントロールゲート106Bの電位V<sub>CG</sub>として、読み出し電圧V<sub>read</sub>（例えば1.5V）を印加する。

【0052】このとき、ワードゲート104の右側のMONOSメモリセル108Bに電荷が蓄積されていたか否かで、MONOSメモリセル108Bに相当するトランジスタT3の動作は以下のように分かれる。

【0053】図4は、メモリセル100 [i]の右側のコントロールゲート106Bへの印加電圧と、それによって制御されるMONOSメモリセル108Bに相当するトランジスタT3のソースドレイン間に流れる電流I<sub>ds</sub>との関係を示している。

【0054】図4に示すように、MONOSメモリセル108Bに電荷が蓄積されていない場合には、コントロールゲート電位V<sub>CG</sub>が低いしきい値電圧V<sub>low</sub>を超えると電流I<sub>ds</sub>が流れ始める。これに対して、MONOSメモリセル108Bに電荷が蓄積されている場合には、コントロールゲート電位V<sub>CG</sub>が高いしきい値電圧V<sub>high</sub>を超えない限り電流I<sub>ds</sub>が流れ始めない。

【0055】ここで、データ読み出し時にコントロールゲート106Bに印加される電圧V<sub>read</sub>は、2つのしきい値電圧V<sub>low</sub>、V<sub>high</sub>のほぼ中間電圧に設定されている。

【0056】従って、MONOSメモリセル108Bに電荷が蓄積されていない場合には電流I<sub>ds</sub>が流れ、MONOSメモリセル108Bに電荷が蓄積されている場合には電流I<sub>ds</sub>が流れないことになる。

【0057】ここで、データ読み出し時にはサブビット線SBL [i]（不純物層110 [i]）の電位V<sub>D</sub> [i]をセンスアンプに、サブビット線SBL [i+1]（不純物層110 [i+1]）の電位V<sub>D</sub> [i+1]を0Vにそれぞれ設定しておく。こうすると、MONOSメモリ素子108B（選択サイド）に電荷が蓄積されていない場合には電流I<sub>ds</sub>が流れるため、オン状態のトランジスタT1、T2を介して、対向サイドのビット線BL [i]に例えば25  $\mu$ A以上の電流が流れる。これに対し、MONOSメモリ素子108B（選択サイド）に電荷が蓄積されている場合には電流I<sub>ds</sub>が流れないため、トランジスタT1、T2がオフ状態であっても、対向サイドのビット線BL [i]に流れる電流は例えば10 nA未満となる。よって、対向サイドのビ

(7)

11

ット線BL[i]に流れる電流をセンスアンプにて検出することで、ツインメモリセル100[i]のMONOSメモリ素子108B(選択サイド)からのデータ読み出しが可能となる。

【0058】なお、メモリセル100[i+1]でもトランジスタT1、T2はオンしているが、トランジスタT3のコントロールゲート電位VCGは0Vとされ、図3の2つのしきい値電圧Vlow、Vhighの双方より電位VCGが低いので、メモリセル100[i+1]にてソースドレイン電流は流ることがない。よって、メモリセル100[i+1]でのデータ蓄積状況が、メモリセル100[i]からのデータ読み出しに悪影響を与えることがない。

【0059】メモリセル100[i]の左側のMONOSメモリセル108Aからデータを読み出すには、メモリセル100[i-1]、[i]の各所の電位を、上記と同様に設定すればよい。

【0060】(メモリセルのプログラミング) 図5は、メモリセル100[i]のワードゲート104の右側のMONOSメモリセル108Bのデータプログラミングについて説明する図である。なお、このデータプログラミング動作の前には、後述するデータ消去動作が実施されている。

【0061】図5では、図3と同じく、サブコントロールゲート線SCG[i]の電位はオーバーライド電位(例えば2.5V)とされ、サブコントロールゲート線SCG[i+2]の電位は0Vとされている。各ワードゲート104の電位は、ワード線WLによって、電源電圧Vddより低い(例えば1.0V程度のプログラミング用ワード線選択電圧)に設定される。また、メモリセル100[i-1]の右側のコントロールゲート108Bの電位は、サブコントロールゲート線SCG[i+1]を介して、図4に示す書き込み電位Vwrite(例えば5.5V)に設定される。[i+1]番目の不純物層110[i+1](サブビット線SBL[i+1])の電位VD[i+1]は例えば5Vに設定され、[i]番目の不純物層110[i](ビット線BL[i])の電位VD[i]は例えば0Vに設定される。

【0062】こうすると、メモリセル100[i]のトランジスタT1、T2がそれぞれオンして、不純物層110[i]に向けて電流Idsが流れる一方で、MONOSメモリセル108BのONO膜109にはチャンネルホットエレクトロン(CHE)がトラップされる。こうして、MONOSメモリセル108Bのプログラミング動作が実施されて、データの「0」または「1」が書き込まれる。

【0063】(メモリセルのデータ消去) 図6は、ワード線WLに接続された2つのメモリセル100[i]、[i+1]のデータ消去について説明する図である。

【0064】図6では、各ワードゲート104の電位

12

は、ワード線WLによって例えば0Vに設定され、サブコントロールゲート線SCG[i]、[i+1]、[i+2]によって、コントロールゲート106A、106Bの電位は例えば-1~-3V程度(第1の消去用高電位)に設定される。さらに、不純物層(ビット線)110[i]、[i+1]、[i+2]の各電位は、P型ウェル電位と等しい4.5~5V(第2の消去用高電位)に設定される。

【0065】こうすると、各MONOSメモリセル108A、108BのONO膜109にトラップされていた電子は、金属(M)に印加された第1の消去用高電位と、シリコン(S)に印加された第2の消去用高電位とで形成される電界により、トンネル効果により抜かれて消去される。これにより、複数メモリセルにて同時にデータ消去が可能となる。なお、消去動作としては、上述のものとは異なり、ビット線となる不純物層の表面のバンドバンドトンネリングによりホットホールを形成し、蓄えられていたエレクトロンを消去するものであっても良い。

【0066】(不揮発性半導体記憶装置の全体構成) 上述のメモリセル100を用いて構成される不揮発性半導体記憶装置の全体構成について、図7(A)~図7(E)を参照して説明する。

【0067】図7(A)は1チップの不揮発性半導体記憶装置の平面レイアウト図であり、ワード線駆動部201を挟んだ左右のメモリアレイ領域200A、200Bは、例えば32個のセクタ領域210にそれぞれ分割されている。1チップの不揮発性半導体記憶装置として、第0、第63のセクタ領域210を有する。

【0068】32個のセクタ領域210は、図7(A)に示すように左右のメモリアレイ領域200A、200Bを第2の方向(行方向)Bでそれぞれ分割したもので、各セクタ領域210は第1の方向(列方向)Aを長手方向とする縦長形状を有する。データ消去の最小単位がセクタ領域210であり、セクタ領域210内の記憶データは一括消去される。

【0069】左右のメモリアレイ領域200A、200Bの各々は、例えば4K本のワード線WLと2K本のビット線BLを有する。ここで、本実施の形態では1本のビット線BLに2つのMONOSメモリセル108A、108Bが接続されるため、2K本のビット線BLは4Kbitの記憶容量を意味する。図7(A)の不揮発性半導体記憶装置は左右のメモリアレイ領域200A、200Bを有するため、メモリ全体として、(4K本のワード線WL)×(2K本のビット線BL)×2で定義される記憶容量を有する。各セクタ領域210の記憶容量はメモリ全体の記憶容量の1/64であり、(4K本のワード線WL)×(64本のビット線BL)×2で定義される記憶容量を有する。

【0070】図7(B)は、図7(A)に示す不揮発性

(8)

13

半導体記憶装置の一つのセクタ領域210の詳細を示している。図7(B)に示すように、各セクタ領域210は第2の方向にて分割され、16ビットのデータをリード・ライト可能にI/O0~I/O15用のメモリブロック(入出力ビットに対応したメモリブロック)214を有している。

【0071】各メモリブロック214は、図7(B)に示すように、4k(4096)本のワード線WLを有する。図7(C)に示すように、セクタ領域210は、第1の方向Aにて8個のラージブロック212に分割されている。この各ラージブロック212は、図7(D)に示すように、第1の方向Aにて8個のsmallブロック215に分割されている。

【0072】各smallブロック215は、図7(E)に示すように、64本のワード線WLを有する。そして、各smallブロック215は、行方向に沿って配列された16個のsmallメモリブロック216により構成されている。

【0073】よって、一つのラージブロック212に配されるワード線WLの総数(冗長用も含む)は、64本×8smallブロック=512本となる。このため、一つのセクタ領域210に配されるワード線WLの総数は、512(本)×8(ラージブロック)=4096本となる。

【0074】(セクタ領域の詳細)図8は、図7(A)に示すセクタ領域0およびCGドライバの詳細を示している。

【0075】図8に示すように、一つのセクタ領域0内にはsmallメモリブロック216が列方向に64個配列され、16ビットの入出力を行うために、16個のI/O0~I/O15に対応した16個のsmallメモリブロック216が行方向に配列されている。

【0076】行方向に配列された16個のsmallメモリブロック216の16本のサブコントロールゲート線SCG0が、行方向に延びる例えば第2層の金属配線M0に共通接続されている。同様に、16本のサブコントロールゲート線SCG1は金属配線M1に、16本のサブコントロールゲート線SCG2は金属配線M2に、16本のサブコントロールゲート線SCG3は金属配線M3にそれぞれ共通接続されている。

【0077】このセクタ領域0のコントロールゲート駆動部であるCGドライバ300が設けられている。このCGドライバ300から列方向に延びる4本のメインコントロールゲート線MCG0~MCG3が設けられ、これらは例えば第3層の金属配線により形成されている。

【0078】図9は、相隣り合うセクタ領域0とセクタ領域1との関係を示している。セクタ領域0とセクタ領域1とはワード線WLが共用されるが、メインコントロールゲート線MCG及びメインビット線MBLはそれぞれ独立して設けられている。特に図9では、セクタ領域

14

0に対応するCGドライバ300と、セクタ領域1に対応するCGドライバ301とが示され、CGドライバはセクタ領域毎に独立して設けられている。

【0079】また、セクタ0を例に挙げれば、smallメモリブロック216毎に配置された複数のサブコントロールゲート線SCG0はメインコントロールゲート線MCG0に共通接続されている。このメインコントロールゲート線MCG0からサブコントロールゲート線SCG0に至る各経路途中には、ゲート回路は配置されていない。以上のことは、セクタ領域0以外の他のセクタ領域でも同様である。

【0080】(smallメモリブロックの構成)以下、smallメモリブロック216を具体的に説明する。図10は、smallメモリブロックを含むメモリセルアレイ領域におけるメモリセル群とその配線とを説明するための回路概略図である。図11は、図10に示すメモリセルアレイ領域内でのサブビット線とメインビット線との関係を明確に示す回路配線図である。

【0081】smallメモリブロック216は、メモリセル100を列方向に例えば64個、行方向に例えば4個配列したものである。一つのsmallメモリブロック216には、例えばサイドウォール状のポリシリコンである4本のサブコントロールゲート線SCG0~SCG3と、データの入出力線である4本のサブビット線SBL0~SBL3と、64本のワード線WLとが接続されている。

【0082】ここで、偶数のコントロールゲート線SCG0、SCG2には、偶数列(第0列または第2列)の複数のメモリセルの各々の第2のコントロールゲート106Bと奇数列(第1列または第3列)の複数のメモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。同様に、奇数のサブコントロールゲート線SCG1、SCG3には、奇数列(第1列または第3列)の複数のメモリセルの各々の第2のコントロールゲート106Bと偶数列(第2列または第4列)の複数のメモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。

【0083】各サブビット線SBL0~SBL3は、第1の方向(列方向)Aに沿って伸び、かつ、両サイドに設けられた複数のメモリセル群と共通接続されている。複数のサブビット線SBL0~SBL3の各々は、複数のメインビット線MBL0~MBL4の各一つに接続されている。

【0084】サブビット線SBLとメインビット線MBLとの接続箇所には、図10および図11に示すように、サブビット線SBLとメインビット線MBLとの接続/非接続を選択する選択スイッチング素子Qが設けられている。選択スイッチング素子Qは、サブビット線SBLの端部に設けられている。選択スイッチング素子Qは、選択信号線BLSの電位に基づいて、オン/オフす

(9)

15

る。選択スイッチング素子Qがオンすると、選択されたスモールメモリブロック216において、サブビット線SBLとメインビット線MBLとが導通状態となる。また、非選択のスモールメモリブロック216におけるサブビット線SBLは、フローティング状態となる。

【0085】複数の選択スイッチング素子Qの各々は、偶数本目のサブビット線SBL0、SBL2の一端と、奇数本目のサブビット線SBL1、SBL3の他端とに接続されている。すなわち、偶数本目のサブビット線SBL0、2の選択スイッチング素子Qと、奇数本目のサブビット線SBL1、SBL3の選択スイッチング素子Qとは、互いに逆側の端部に設けられている。

【0086】第1の方向Aで隣接する2つのスモールメモリブロック216内に配置される一方を第1選択トランジスタQ1とし、他方を第2選択トランジスタQ2としたとき、同一のメインビット線MBLに接続される第1の方向Aで隣り合う第1および第2選択トランジスタQ1、Q2は、隣接して設けられている。

【0087】以下、この項における本実施の形態の特徴点を説明する。

【0088】(1) サブビット線SBLは、メインビット線MBLと選択トランジスタQを介して接続されている。このため、選択されたサブビット線SBLとメインビット線MBLとを導通状態にさせ、非選択のサブビット線SBLとそのメインビット線MBLとを非導通状態にすることができる。その結果、読み出し・書き込み時のビット線BLの配線容量を減らすことができ、読み出し・書き込み時においてメモリセルに対するアクセスをより速くすることができる。

【0089】(2) 複数の選択スイッチング素子Qは、偶数本目のサブビット線SBL0、SBL2の一端と、奇数本目のサブビット線SBL1、SBL3の他端とに設けられている。この場合、次の作用効果を奏することができる。

【0090】1) 一方の選択スイッチング素子Qからメモリセル100までの距離と、他方の選択スイッチング素子Qからメモリセル100までの距離とが、各メモリセル100間において等しくなる。このため、サブビット線SBLの抵抗の和が、各ビット線100間において等しくなる。したがって、ソースドレイン間に加わる電位差が、各メモリセル100間で一定となるため、特性のバラツキを小さくすることができる。

【0091】2) 偶数のサブビット線SBL間のスペースに、奇数のサブビット線SBLの選択トランジスタQを配置することができるため、奇数のサブビット線SBLの選択トランジスタQのチャネル幅を広くすることができる。また、同様に、偶数のサブビット線SBLの選択トランジスタQのチャネル幅を広くすることができる。

【0092】3) 同一のメインビット線MBLに接続さ

16

れる第1の方向Aで隣り合う第1および第2選択トランジスタQ1、Q2は、隣接して設けられている。これにより、選択トランジスタの不純物層を共用させることができる。その結果、メモリの集積度の向上を図ることができる。

【0093】次に、スモールメモリブロックの平面レイアウトについて説明する。以下では、スモールメモリブロックの平面レイアウトの例を2つ示す。

【0094】(第1のスモールメモリブロックの平面レイアウト) 図12は、図10および図11における、不揮発性半導体記憶装置のバルクにおける平面レイアウト図である。なお、図12において、ワード線WLおよび局部配線層190は、模式的に線で示す。

【0095】各サブビット線SBL0～SBL3は、半導体基板上に設けられたサブビット不純物層によって構成されている。複数のサブビット線SBLの各々は、隣り合うサブビット線SBLの端部より第1方向Aで外側に突出した、突出部140を有する。突出部140は、メモリセル100の群が設けられている領域におけるサブビット線SBLの幅よりも広い幅広領域を有する。

【0096】偶数本のサブビット線SBL0、SBL2においては、突出部140は、サブビット線の一端に設けられている。奇数本のサブビット線SBL1、SBL3においては、突出部140は、他端に設けられている。また、第1方向Aで隣り合う2つのサブビット線SBLの突出部140同士は、互に対向するように設けられている。

【0097】各サブビット線SBL0～SBL3の両サイドには、第1のコントロールゲート106Aと第2のコントロールゲート106Bとが設けられている。サブビット線SBLの両サイドに設けられた第1および第2のコントロールゲート106A、106Bは、端部同士がそれぞれ連続した2つの連続部160を有している。

【0098】第1の方向(列方向)Aで隣り合うサブビット線SBL間(たとえば、スモールメモリブロック0におけるサブビット線SBL1と、スモールメモリブロック1におけるサブビット線SBL1との間)に、ストラップ群領域A10が設けられている。

【0099】各ストラップ群領域A10には、第1および第2の選択トランジスタQ1、Q2が設けられている。第1の選択トランジスタQ1は、ストラップ群領域A10の一方の側における突出部140と対向する位置に設けられている。第2の選択トランジスタQ2は、ストラップ群領域A10の他方の側における突出部140と対向する位置に設けられている。

【0100】第1の選択トランジスタQ1は、ストラップ群領域A10の一方の側におけるサブビット線SBLとメインビット線MBLとの接続/非接続を選択する。第2の選択トランジスタQ2は、ストラップ群領域A10の他方の側におけるサブビット線SBLと、メイ

(10)

17

ンビット線MBLとの接続／非接続を選択する。選択トランジスタQ1、Q2は、電界効果型トランジスタ（たとえばMOSトランジスタ）により構成することができる。

【0101】以下、図13を参照しながら、ストラップ群領域A10について具体的に説明する。図13は、図12におけるストラップ群領域A10を拡大した平面図である。図14は、図13におけるC-C線に沿った断面を模式的に示す断面図である。なお、図13において、局部配線層190を模式的に線で示す。

【0102】ストラップ群領域A10は、第1および第2のゲート電極120、122と、第1～第3不純物層130、132、134とを含む。第1～第3不純物層130、132、134の導電型は、サブビット線SBLがn型不純物層からなる場合には、n型である。

【0103】ストラップ群領域A10における選択トランジスタQ1、Q2の領域は、素子分離領域170によって画定されている。

【0104】第1および第2ゲート電極120、122は、第2の方向Bに伸びている。第1不純物層130は、第1および第2ゲート電極120、122間に設けられている。第1不純物層130は、第1および第2選択トランジスタQ1、Q2のソースまたはドレインとして機能する。第1不純物層130は、第1選択トランジスタQ1および第2選択トランジスタQ2によって、共用されている。

【0105】第2不純物層132は、第1ゲート電極120と、一方のサブビット線（サブビット不純物層）SBLとの間に設けられている。第2不純物層132は、第1選択トランジスタQ1のソースまたはドレインとして機能する。第3不純物層134は、第2ゲート電極122と、他方のサブビット線（サブビット不純物層）SBLとの間に、設けられている。第3不純物層134は、第2の選択トランジスタQ2のソースまたはドレインとして機能する。

【0106】図13および14に示すように、第2不純物層132と、サブビット線SBLとは、層間絶縁層に設けられた2つのコンタクト部182、184と、金属配線からなる局部配線層190とを介して、電気的に接続されている。

【0107】また、同様に、第3不純物層134とサブビット線（サブビット不純物層）SBLとは、層間絶縁層に設けられた2つのコンタクト部182、184と、局部配線層190とを介して、電気的に接続されている。

【0108】以下、第1の平面レイアウトの特徴点および作用効果について説明する。

【0109】(1) 各突出部140は、メモリセル100の群が設けられている領域におけるサブビット線SBLの幅よりも広い幅広領域を有する。このため、突出部

18

140において、サブビット線SBLを引き出すためのコンタクト部184を形成し易い。

【0110】(2) 第1のコントロールゲート106Aと第2のコントロールゲート106Bとは、端部同士がそれぞれ連続した2つの連続部160を有している。これにより、第1および第2のコントロールゲート106A、106Bの片側の端部のみしか連続部を設けていない場合に比べて、コントロールゲートの抵抗をほぼ半分にすることができる。

10 【0111】(3) 偶数本のサブビット線SBL0、SBL2においては、突出部140は、サブビット線的一端に設けられている。また、奇数本のサブビット線SBL1、SBL3においては、突出部140は、他端に設けられている。これにより、次の理由で、メモリセルの集積度を向上させることができる。

【0112】偶数および奇数のサブビット線SBLともに、突出部140を同じ側の端部に設けた場合には、突出部140の間隔に関して、ある程度のマージンをとる必要がある。しかし、本実施の形態によれば、偶数・奇数で、互いに逆側の端部に突出部を設けているため、突出部140間の間隔に関して、マージンをとる必要がない。このため、メモリセルの集積度を向上させることができる。

【0113】(第2のスモールメモリブロックの平面レイアウト) 図15は、図10および図11における、不揮発性半導体記憶装置のバルクにおける平面レイアウト図である。なお、図15において、コントロールゲートの上層に形成されたワード線WLは、模式的に線で示す。

30 【0114】各サブビット線SBL0～SBL3は、半導体基板に設けられたサブビット不純物層によって構成されている。各サブビット線SBL0～SBL3の両サイドには、第1および第2のコントロールゲート106A、106Bが設けられている。この平面レイアウトでは、上述の第1の平面レイアウトと異なり、サブビット線SBLの両サイドに設けられた第1および第2のコントロールゲート106A、106Bの一方の端部同士のみが、連続部160により連続している。つまり、第1および第2のコントロールゲート106A、106Bの他方の端部同士は、連続していない非連続部を有する。

40 【0115】連続部160は、偶数本目のサブビット線SBL0、SBL2の両サイドに設けられた第1および第2のコントロールゲート106A、106Bに関しては、一端側に設けられている。また、連続部160は、奇数本目のサブビット線SBL1、SBL3の両サイドに設けられた第1および第2のコントロールゲート106A、106Bに関しては、他端側に設けられている。

【0116】第1の方向（列方向）Aで隣り合うサブビット線SBL間（たとえば、スモールメモリブロック0におけるサブビット線SBL1と、スモールメモリプロ

50



(11)

19

ック1におけるサブビット線SBL1との間)に、ストラップ群領域A20が設けられている。この平面レイアウトの例では、サブビット線SBLの両サイドに設けられた第1および第2のコントロールゲート106A、106Bは、ストラップ群領域A20が設けられた側の端部同士が連続していない。なお、ストラップ群領域A20は、第1の平面レイアウトと同様に、第1および第2の選択トランジスタQ1、Q2が設けられている。

【0117】以下、図16を参照しながら、ストラップ群領域A20について具体的に説明する。図16は、図15におけるストラップ群領域A20を拡大した平面図である。図17は、図16におけるD-D線に沿った断面を模式的に示す断面図である。

【0118】このレイアウトの例では、選択トランジスタQの不純物層132、134は、それぞれ、サブビット線SBLを延長形成させて、形成されている。すなわち、サブビット線SBLと選択トランジスタQの不純物層とが、直接電氣的に接続されている。これ以外のストラップ群領域A20の構成は、第1の平面レイアウトと同様であるため、詳細な説明を省略する。

【0119】以下、第2の平面レイアウトの特徴点および作用効果について説明する。

【0120】サブビット線SBLの両サイドに設けられた第1および第2のコントロールゲート106A、106Bは、選択トランジスタQ側の第1および第2のコントロールゲート106A、106Bの端部同士が連続していない。このため、サブビット線SBLと選択トランジスタQの不純物層とを形成する際、サブビット線SBLに直接電氣的に接続されるように、選択トランジスタQの不純物層132、134を形成することができる。したがって、サブビット線SBLと、選択トランジスタQの不純物層132、134とを電氣的に接続するための工程（たとえば半導体基板にクロスアンダ不純物層を形成する工程）が不要である。その結果、たとえば、クロスアンダ不純物層の形成領域を規定するマスクが不要となる。

【0121】また、サブビット線SBLと選択トランジスタQの不純物層132、134とは、直接接続されている。このため、ビット線自体の抵抗を低減することができる。

【0122】（動作説明）ここで、本実施形態の不揮発性半導体記憶装置でのデータ消去時とプログラム時について、設定されるコントロールゲート線CG、ビット線BL及びワード線WLの各電位を、下記の表1～表3に示す。

【0123】

【表1】

20

	選択セル			
	CG	BL	WL	BLS
消去	-1~-3V	4.5~5V	0V	8V
プログラム	5.5Vor2.5V	5V	1.0V	8V

【0124】

【表2】

	非選択セル(選択セクタ内)			
	CG	BL	WL	BLS
消去	-	-	-	-
プログラム	5.5Vor2.5Vor0V	0V	0V	8V

【0125】

【表3】

	非選択セル(非選択セクタ内)			
	CG	BL	WL	BLS
消去	0V	0V	0V	8V
プログラム	0V	0V	0Vor1V	8V

【0126】表1において、データ消去時には例えばセクタ領域0（選択セクタ）内は全て選択セルとなり、4096本のワード線WLには0Vが供給される。また、CGドライバ300によって4本のメインコントロールゲート線MCG0～MCG3に第1の消去用高電位（例えば-1～-3V）が供給され、セクタ領域0（選択セクタ）内の全メモリセルのコントロールゲート106A、106Bに、一括して第1の消去用高電位を供給することができる。このとき、セクタ領域0内の全ビット線BLには第2の消去用高電位（例えば4.5～5V）が供給されるが、その供給方法については後述する。なお、選択セルにおける選択信号線BLSには、電位（例えば8V）が供給され、選択スイッチング素子がオンして、選択セルにおけるサブビット線とメインビット線とが接続される。こうして、選択されたセクタ領域0内の全メモリセルにてデータ消去を実施できる。

【0127】このとき、表3に示すように、非選択である例えばセクタ領域1では、4096本の全ワード線WLに0Vが供給されるが、コントロールゲートCG及びビット線BLはセクタ領域0とは独立して0Vを供給できるので、非選択セクタにてデータ消去が実施されることはない。

【0128】次に、プログラミング動作について説明する。選択されたセクタ領域0内の16個のI/Oにそれぞれ対応する各一つのMONOSメモリセルにて、16ビット同時にデータプログラミングが実施される。このために、セクタ領域0内の選択セルに接続されたいずれか1本のワード線WLに例えば1.5Vが供給され、他の4

(12)

21

095本のワード線WLは0Vに設定される。また、セクタ領域0内の16個のsmallメモリブロック216において、図5のSCG[i]に相当するコントロールゲート線SCGに2.5Vを供給し、図5のSCG[i+1]に相当するコントロールゲート線SCGに5.5Vを供給し、他のコントロールゲート線SCGに0Vを設定する。さらに、セクタ領域0内の各I/O0~I/O15に対応したメモリブロック214において、図5のビット線BL[i+1]に相当する1本のメインビット線MBLに5Vを供給し、他のメインビット線MBLは0Vに設定する。なお、選択メモリセルにおけるサブビット線SBLは、選択信号線BLSの電位に基づいて選択スイッチング素子をオンさせることにより、メインビット線MBLと接続されることとなる。

【0129】このとき、表2に示すように、選択されたセクタ領域0内の非選択セルにおいては、ワード線WLは0Vに設定されるが、コントロールゲート線SCGには5.5Vまたは2.5Vの高電位あるいは0Vが印加される。一方、選択されたセクタ領域0内の非選択セルにおけるサブビット線SBLについては、選択信号線BLSが8Vに設定され、選択トランジスタがオンするため、そのサブビット線SBLは0Vに設定される。

【0130】一方、表3に示すように、非選択のセクタ領域内における非選択セルにおいては、コントロールゲート線CG及びメインビット線MBLには共に0Vが印加される。よって、非選択セクタ領域内では、プログラム時と同様な高電位が印加されることで生ずるディスタースが非選択セルに生ずることがない。

【0131】選択されたセクタ領域0内の非選択セルのコントロールゲートには高電位が印加されてしまうが、このような高電位はセクタ領域0内でプログラミングを実施する場合にのみ印加される。よって、いずれか一つのセクタ領域でのプログラミングが実施される度に、他のセクタ領域内の非選択セルに高電位が印加されるものと比較すれば、高電位が印加される頻度が大幅に低減し、ディスタースが生ずることを防止できる。

【0132】(比較例の説明) 図18は、比較例の構成を示している。この比較例では、メモリセルアレイ領域は、列方向で分割され、列方向を長手方向とする複数のセクタ領域0, 1, ...を有する。また比較例では、CGドライバ400, 401はセクタ領域0, 1にそれぞれ対応して設けられず、両セクタ領域0, 1に共用されている。

【0133】ここで、図18に示すように、セクタ領域0に対応して選択ゲート領域402が、セクタ領域1に対応して選択ゲート領域403がそれぞれ設けられている。選択ゲート領域402, 403に配置されたN型MOSトランジスタ群は、選択信号線CGS0, CGS1の電位に基づいて、CGドライバ400, 401から供給される電位をセクタ領域0, 1に供給するか否かを選

22

択するものである。

【0134】比較例においても実質的に表1~3に示す本実施形態での設定電位と同じ電位に設定できるが、これらは選択ゲート領域402, 403を設けることで達成できるのである。もし選択ゲート領域402, 403が存在しなければ、選択されたセクタ領域0での選択セルのプログラミング時に、非選択のセクタ領域1の非選択セルにも高電位が印加されてしまう。このようにセクタ領域を越えてプログラム時の高電位が非選択セルにも印加されると、プログラムの度に非選択セルに高電位が印加され、ディスタースが生じてしまう。

【0135】比較例では、上記のようなディスタースの発生を防止するために、各セクタ領域毎にコントロールゲートのための選択ゲート領域を設けることが不可欠である。

【0136】さらに比較例では、選択ゲート領域402, 403にN型MOSトランジスタを使用すると、そこで電圧降下が生ずるため、CGドライバ400, 401からは本来必要な第1の消去用高電位に電圧降下分の電圧を上乗せして供給しなければならず、高電圧化してしまう。

【0137】上述した本発明の実施形態では、ディスタースを回避しながらも、所定のコントロールゲートに電位を印加するための選択ゲート領域を省略できる。

【0138】なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0139】例えば、不揮発性メモリ素子108A, 108Bの構造については、MONOS構造に限定されるものではない。1つのワードゲート104と第1, 第2のコンドロールゲート106A, 106Bにより、2箇所にて独立して電荷をトラップできる他の種々のメモリセルを用いた不揮発性半導体記憶装置に、本発明を適用することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る不揮発性半導体記憶装置に用いられるメモリセルの断面図である。

【図2】図1に示すメモリセルの等価回路図である。

【図3】図1に示す不揮発性半導体記憶装置でのデータ読み出し動作を説明するための概略説明図である。

【図4】図1に示すメモリセルでのコントロールゲート電圧VCGとソースドレイン電流I<sub>ds</sub>との関係を示す特性図である。

【図5】図1に示す不揮発性半導体記憶装置でのデータ書き込み(プログラム)動作を説明するための概略説明図である。

【図6】図1に示す不揮発性半導体記憶装置でのデータ消去動作を説明するための概略説明図である。

【図7】図7(A)は図1に示す不揮発性半導体記憶装置全体の平面レイアウト図、図7(B)は図7(A)中

(13)

23

の一つのセクタ領域の平面図、図7 (C) はセクタ領域の平面図、図7 (D) は図7 (C) 中の一つのラージブロックの平面図、図7 (E) は図7 (D) 中の一つのスモールブロックの平面図である。

【図8】図7 (B) に示す一つのセクタ領域の多数のメモリセル群とその配線とを説明するための概略説明図である。

【図9】隣り合うセクタ領域の関係を示す回路図である。

【図10】メモリセルアレイ領域におけるメモリセル群とその配線とを説明するための概略図である。

【図11】図10に示すメモリセルアレイ領域内でのサブビット線と、メインビット線との関係を示す配線図である。

【図12】図10および図11に示すメモリセルアレイ領域の第1の平面レイアウトを示した平面図である。

【図13】図12におけるストラップ群領域 (A10の領域) を拡大した平面図である。

【図14】図13におけるC-C線に沿った断面を模式的に示す断面図である。

【図15】図10および図11に示すメモリセルアレイ領域の第2の平面レイアウトを示した平面図である。

【図16】図15におけるストラップ群領域 (A10の領域) を拡大した平面図である。

【図17】図16におけるD-D線に沿った断面を模式的に示す断面図である。

【図18】図9に対する比較例の構成を示す回路図である。

【符号の説明】

100 メモリセル  
102 P型ウェル  
104 ワードゲート  
106A, 106B コントロールゲート (線)  
108A, 108B 不揮発性メモリ素子 (MONOSメモリセル)  
109 ONO膜  
110 不純物層 (ビット線)  
120 第1ゲート電極  
122 第2ゲート電極  
130 第1不純物層  
132 第2不純物層  
134 第3不純物層

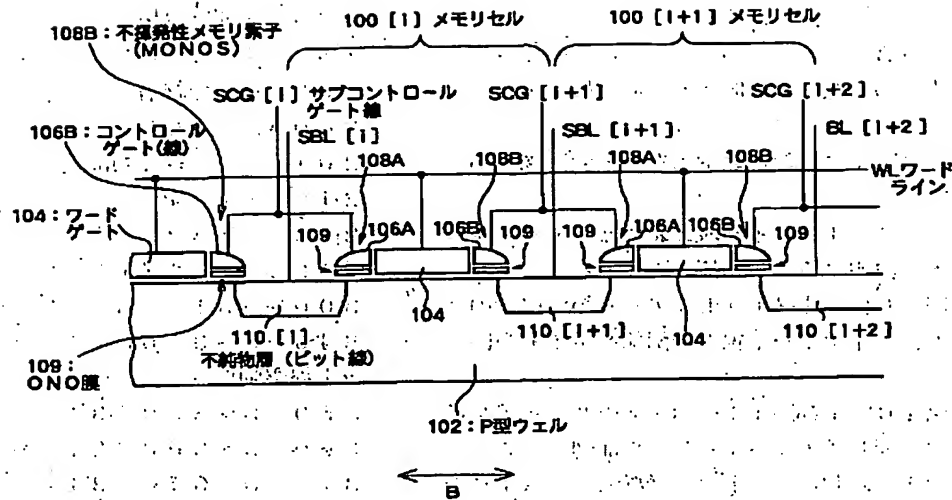
24

140 突出部  
160 連続部  
170 素子分離領域  
180 層間絶縁層  
182, 184 コンタクト部  
190 局部配線層  
200A, 200B メモリセルアレイ領域  
201 ワード線駆動部  
210 セクタ領域  
214 メモリブロック  
216 スモールメモリブロック  
300~331 CG (コントロールゲート) ドライバ  
340-0~340-31 ウェルドライバ (消去用ビット線駆動部)  
350-0~350-31 セクタドライバ  
360-0~360-31 Yパス回路  
370-0~370-31 セクタ選択回路  
400, 401 CG (コントロールゲート) ドライバ  
402, 403 選択ゲート領域  
500 ICチップ  
502, 504 アレイブロック  
506 CGデコーダ  
508 Xプリデコーダ  
510, 512 WL (ワード線) ドライバ  
514 Yデコーダ  
516, 518 センスアンプ/BLドライバ  
520 データイン/アウトバッファ  
522 入出力端子  
530 コマンド端子  
532 制御ロジック回路  
534 電位生成回路  
540 アドレス端子  
542 アドレスバッファ  
WL ワード線  
BL ビット線 (不純物層)  
MBL メインビット線  
SBL サブビット線  
SCG サブコントロールゲート線 (第1層金属配線)  
M0~M3 第2層金属配線  
MCG メインコントロールゲート線 (第3層金属配線)  
Q1, Q2 選択スイッチング素子

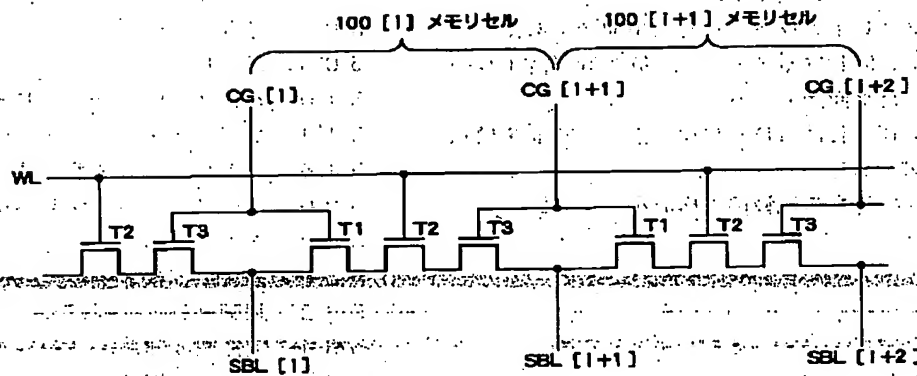


(14)

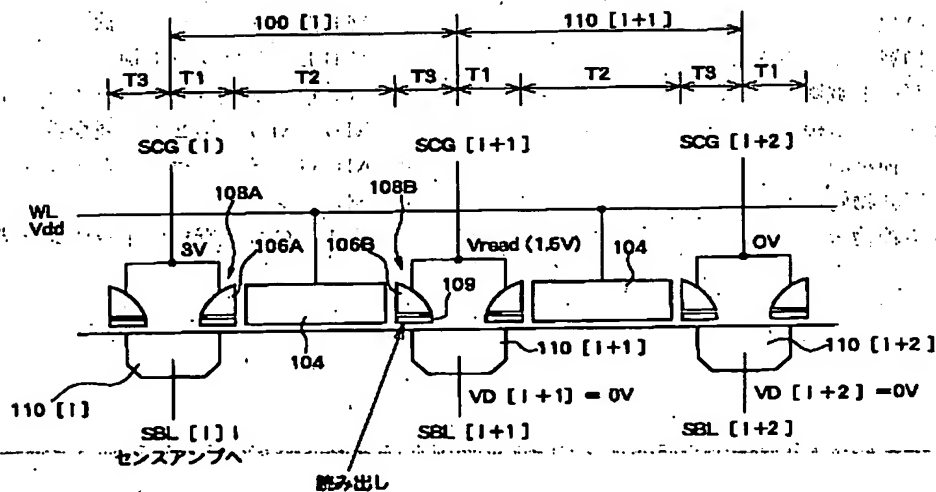
【図1】



【図2】



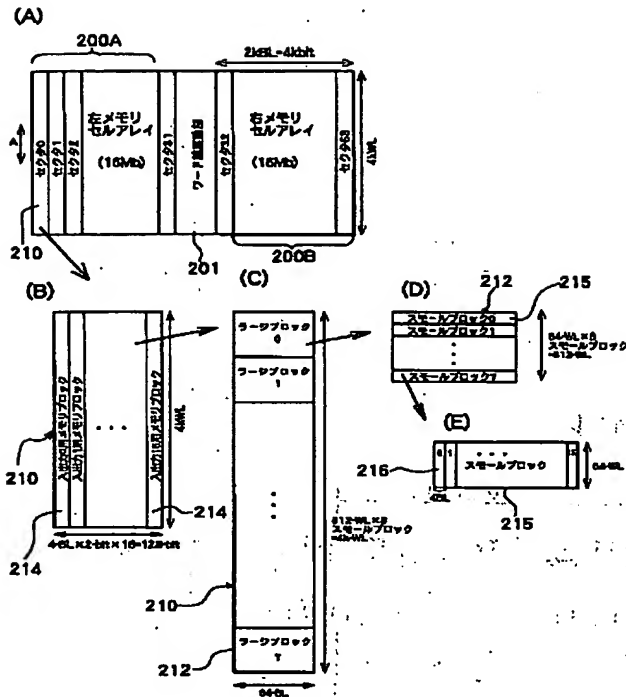
【図3】



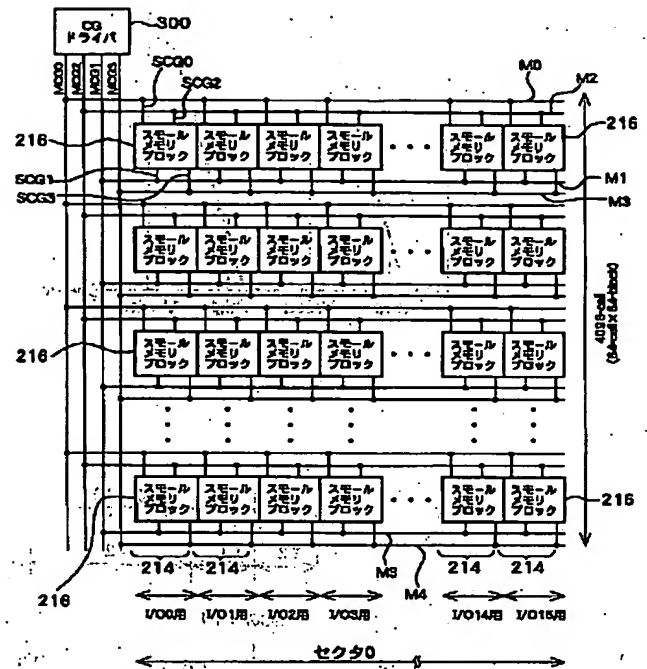
[illegible]

(16)

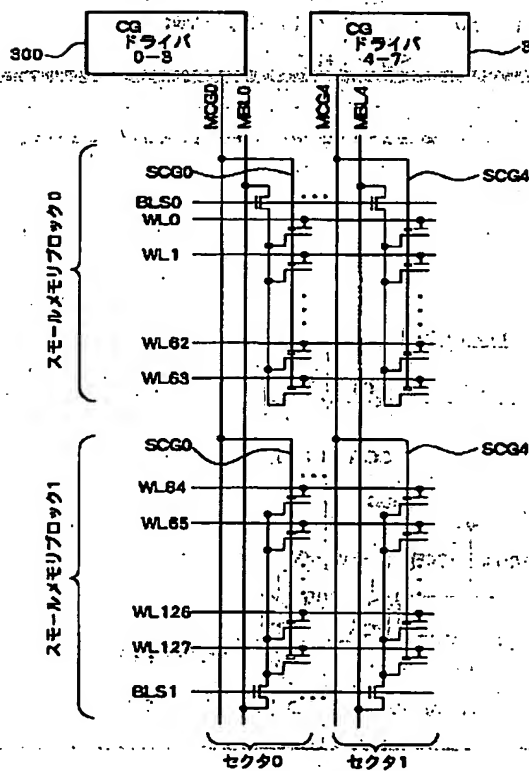
【図7】



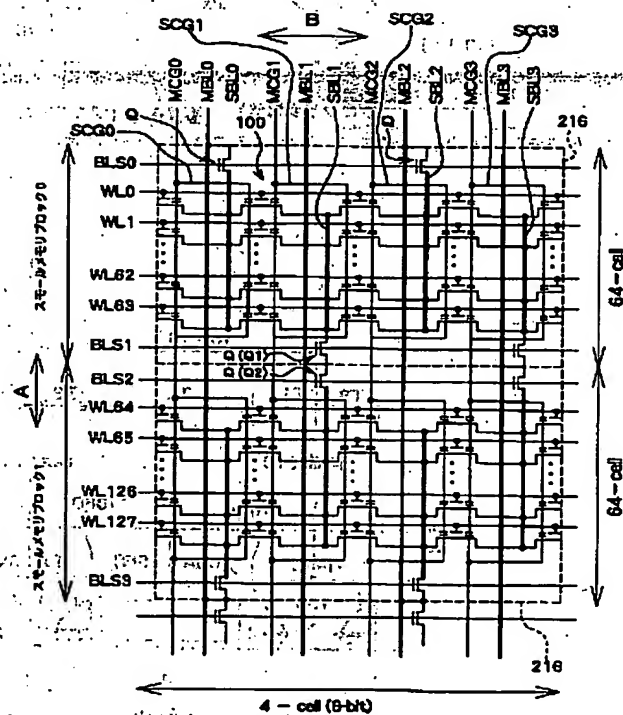
【図8】



【図9】

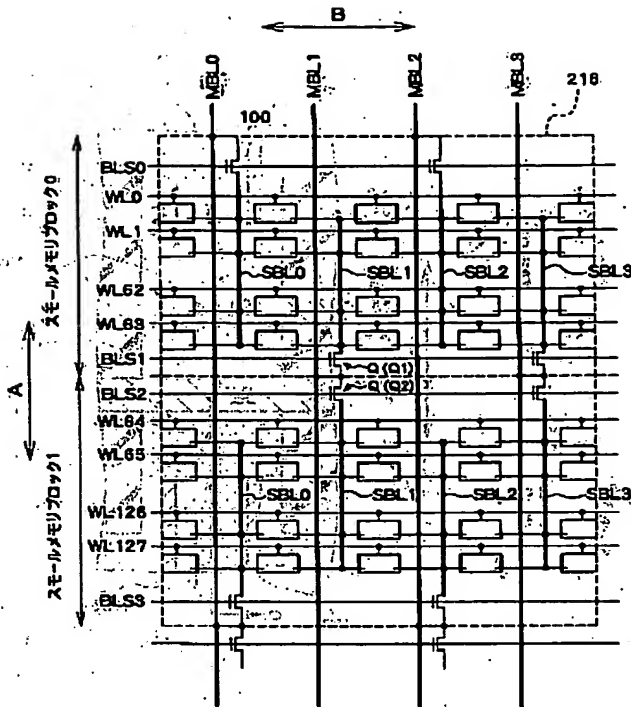


【図10】

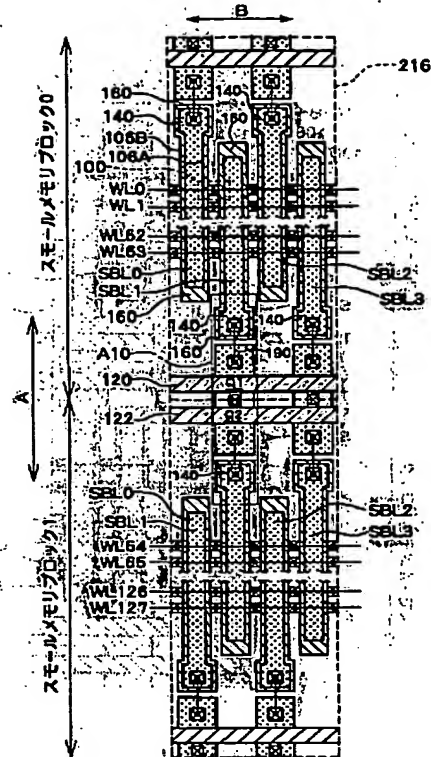


(17)

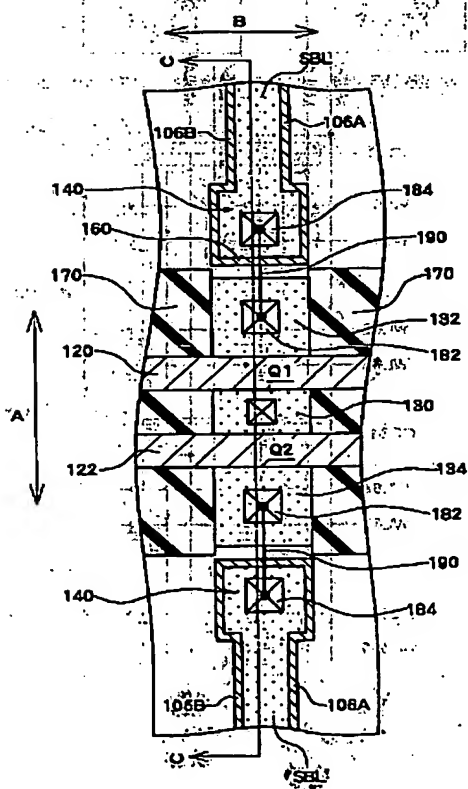
【図 1 1】



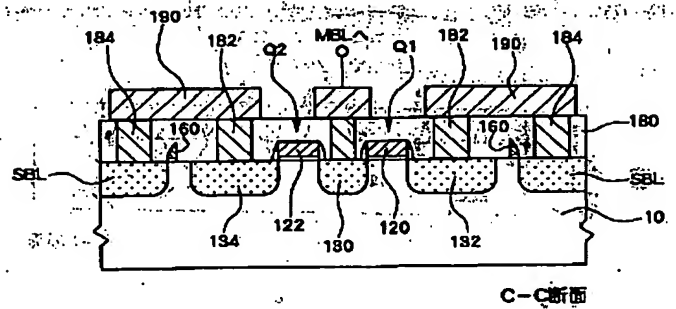
【図 1.2】



【図 1 3】

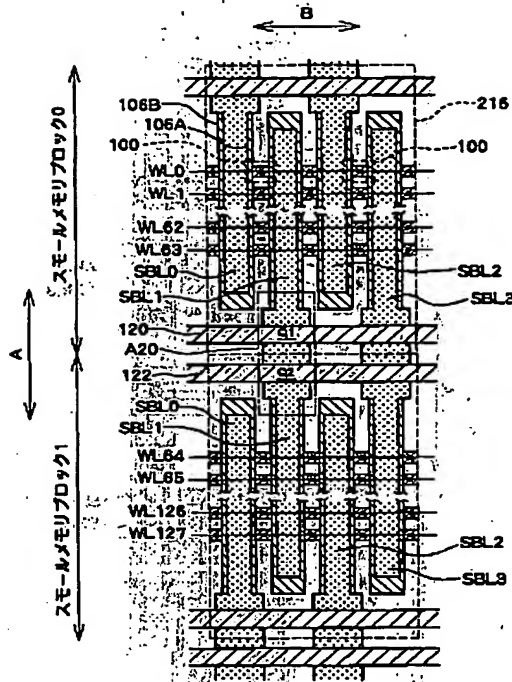


【図 14】

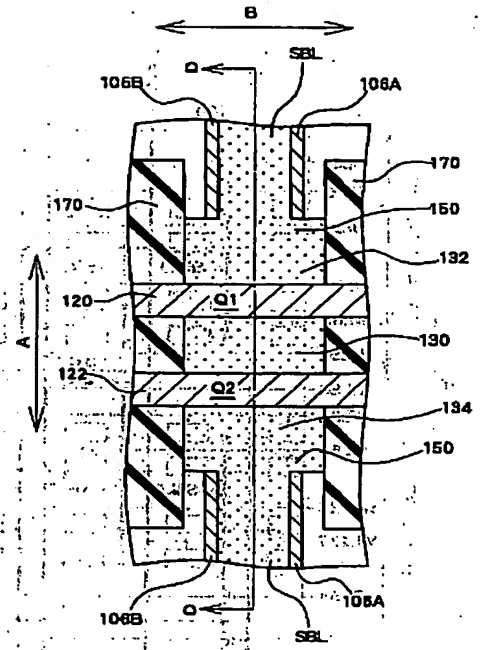


(18)

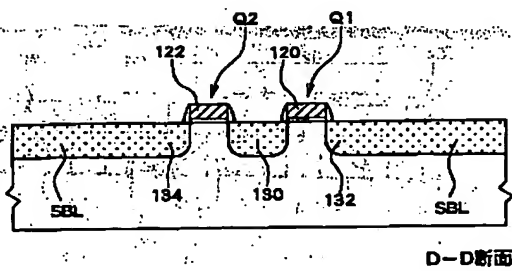
【図15】



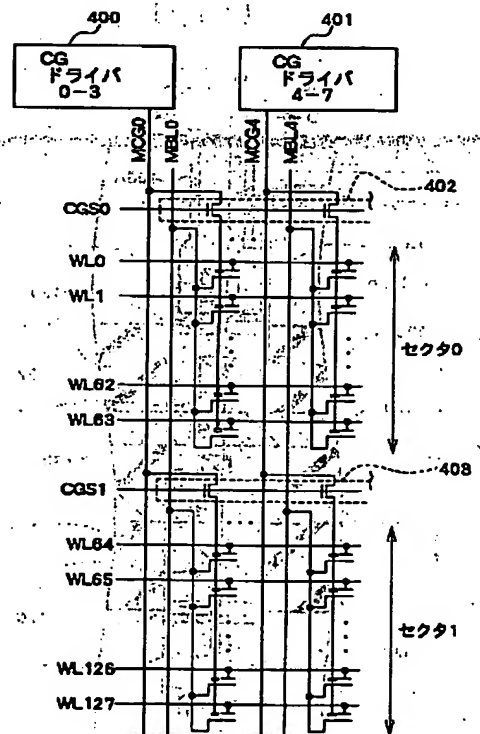
【図16】



【図17】



【図18】



(19)

【手続補正書】

【提出日】平成14年5月27日(2002. 5. 27)

【手続補正1】

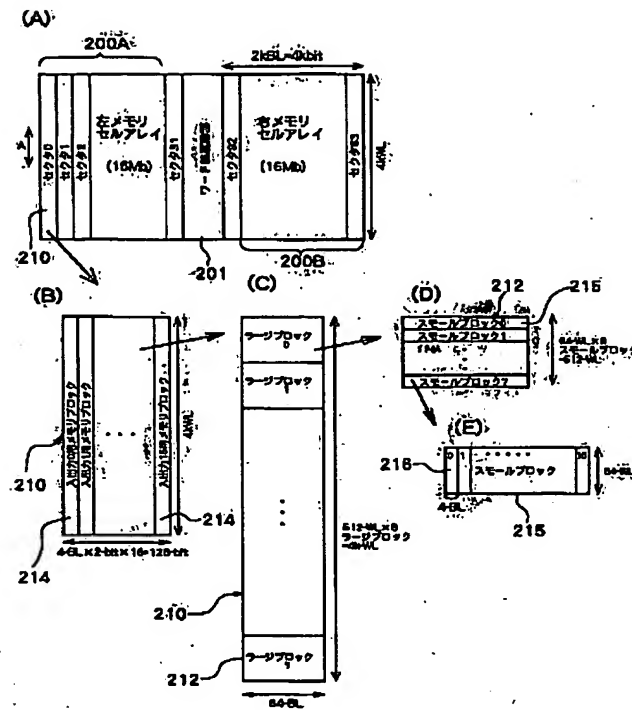
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



フロントページの続き

(51) Int. Cl. 7-

H01L 29/792

識別記号

FI

テーマコード(参考)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**